



## (12)发明专利

(10)授权公告号 CN 104091558 B

(45)授权公告日 2017.03.01

(21)申请号 201310111015.0

(22)申请日 2013.04.01

(65)同一申请的已公布的文献号

申请公布号 CN 104091558 A

(43)申请公布日 2014.10.08

(73)专利权人 香港理工大学

地址 中国香港九龙红磡

(72)发明人 卢家航 黎沃铭 谢智刚

(74)专利代理机构 深圳市顺天达专利商标代理

有限公司 44217

代理人 郭伟刚

(51)Int.Cl.

G09G 3/32(2016.01)

(56)对比文件

CN 101950548 A, 2011.01.19,

CN 102148010 A, 2011.08.10,

CN 102821515 A, 2012.12.12,

CN 102159002 A, 2011.08.17,

徐绘峰、王景存. 基于FPGA的LED视频显示屏控制系统的设计.《电视技术》.2010,第34卷(第S2期),20-22.

审查员 李小艳

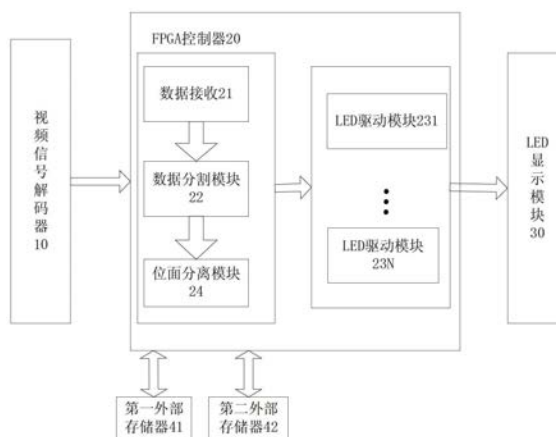
权利要求书2页 说明书8页 附图9页

(54)发明名称

LED显示面板的驱动方法及系统

(57)摘要

本发明公开了一种LED显示面板的驱动方法及系统,该方法包括:将HDMI/DVI视频信号转换为RGB信号;将所述RGB信号划分为N个独立的码流,并进行重排序;至少在第一电流 $I_1$ 和第二电流 $I_2$ 之间周期性切换提供给LED显示模块的直流电流;该系统包括FPGA控制器和分别与FPGA控制器连接的视频信号解码器、第一外部存储器、第二外部存储器和LED显示模块,FPGA控制器包括并联的N个LED驱动模块。实施本发明的驱动方法及系统,既可提高LED的发光效能又可对LED进行线性调光。



1. 一种LED显示面板的驱动方法,其特征在于,所述方法包括:

S1. 使用视频信号解码器将HDMI/DVI视频信号转换为RGB信号,并将所述RGB信号与同步信号和时钟信号并行传输到FPGA控制器;

S2. 使用FPGA控制器将所述RGB信号划分为N个独立的码流,重排序后存储在外部存储器中;

S3. 使用并联的N个LED驱动模块提供用于所述LED显示面板的直流电流,并将并联的N个LED驱动模块提供的直流电流至少在第一电流 $I_1$ 和第二电流 $I_2$ 之间周期性地切换,同时,使用所述并联的N个LED驱动模块对应接收上述重排序后的N个独立的码流,并根据该重排序后的N个独立的码流调节所述并联的N个LED驱动模块提供的直流电流的占空比,以将所述并联的N个LED驱动模块提供的平均电流保持在给定的电流值 $I_{DC}$ ;其中,N为大于或等于2的自然数,当N等于2时,所述第一电流 $I_1$ 大于零,所述第二电流 $I_2$ 的峰值是所述第一电流 $I_1$ 的两倍,用于产生所述LED显示模块设定的最大照明输出。

2. 根据权利要求1所述的LED显示面板的驱动方法,其特征在于,在所述步骤S2中,所述FPGA控制器使用乒乓缓存法将所述RGB信号存储到外部存储器中,然后将存储的RGB信号分割为所述N个独立的码流。

3. 根据权利要求2所述的LED显示面板的驱动方法,其特征在于,在所述步骤S2中,所述FPGA控制器使用数字视频信号中位面分离的策略对所述N个独立的码流进行重排序。

4. 根据权利要求1所述的LED显示面板的驱动方法,其特征在于,所述电流值 $I_{DC}$ 由所述RGB信号和所述LED显示模块的设定的最大照明输出决定。

5. 一种LED显示面板的驱动系统,其特征在于,所述系统包括FPGA控制器和分别与所述FPGA控制器连接的视频信号解码器、LED显示模块和至少两个外部存储器,所述FPGA控制器包括并联的N个LED驱动模块,其中,

所述视频信号解码器,用于将HDMI/DVI视频信号转换为RGB信号,然后将所述RGB信号与同步信号和时钟信号并行传输到FPGA控制器;

所述FPGA控制器,用于将所述RGB信号划分为N个独立的码流,重排序后存储在所述外部存储器中;

所述并联的N个LED驱动模块,用于接收重排序后的N个独立的码流,并向所述LED显示模块至少输出第一电流 $I_1$ 和第二电流 $I_2$ ,所述N个独立的码流,用于调节所述并联的N个LED驱动模块输出的电流的占空比,以将所述并联的N个LED驱动模块输出的平均电流保持在给定的电流值 $I_{DC}$ ;其中,N为大于或等于2的自然数,当N等于2时,所述第一电流 $I_1$ 大于零,所述第二电流 $I_2$ 是所述第一电流 $I_1$ 的两倍,用于产生所述LED显示模块设定的最大照明输出。

6. 根据权利要求5所述的LED显示面板的驱动系统,其特征在于,所述FPGA控制器还包括数据接收模块和数据分割模块,所述数据接收模块用于通过乒乓缓存法将所述RGB信号存储到所述外部存储器,所述数据分割模块用于将存储的RGB信号划分为所述N个独立的码流。

7. 根据权利要求6所述的LED显示面板的驱动系统,其特征在于,所述FPGA控制器还包括位面分离模块,所述位面分离模块用于使用数字视频信号中位面分离的策略对所述N个独立的码流进行重排序。

8. 根据权利要求5所述的LED显示面板的驱动系统,其特征在于,所述电流值 $I_{DC}$ 由所述

RGB信号和所述LED显示模块的设定的最大照明输出决定。

## LED显示面板的驱动方法及系统

### 技术领域

[0001] 本发明涉及LED显示面板技术领域,尤其涉及一种提高LED显示面板的发光效能的驱动方法及系统。

### 背景技术

[0002] 对于大面积和高功耗的户外LED显示面板,LED阵列的为其主要功耗单元,因此要减少户外LED显示面板的功耗,必须提高LED阵列的发光效能。

[0003] LED阵列的发光效能主要由LED驱动方式决定,常用的驱动方式大致可分为两大类:模拟或直流(DC)和开关脉冲宽度调制(PWM)。使用模拟或直流(DC)驱动方式时,LED阵列的发光效能最高、色彩稳定性最佳,但是,LED阵列的照明输出成非线性变化,无法线性调光,造成照明输出不稳定;使用开关脉冲宽度调制时,周期切换地提供给LED两个直流电流,其中一个直流电流为0,通常称为低水平直流电流,另一个直流电流大于0,通常称为高水平直流电流,通过调节高水平直流电流的持续时间,可以调节供电电流的有效值,进而调节LED的照明输出。但是,该驱动方式将导致LED的发光效能降低。

### 发明内容

[0004] 本发明要解决的技术问题在于,针对现有技术中LED驱动方式无法同时避免照明输出非线性和发光效能低的上述缺陷,提供一种既可提高LED显示面板的发光效能又可对LED显示面板进行线性调光的LED显示面板的驱动方法及系统。

[0005] 本发明解决其技术问题所采用的技术方案是:一种LED显示面板的驱动方法,其特征在于,所述方法包括:

[0006] S1.使用视频信号解码器将HDMI/DVI视频信号转换为RGB信号,并将所述RGB信号与同步信号和时钟信号并行传输到FPGA控制器;

[0007] S2.使用FPGA控制器将所述RGB信号划分为N个独立的码流,重排序后存储在外部存储器中;

[0008] S3.使用并联的N个LED驱动模块提供用于所述LED显示面板的直流电流,并将并联的N个LED驱动模块提供的直流电流至少在第一电流 $I_1$ 和第二电流 $I_2$ 之间周期性地切换,同时,使用所述并联的N个LED驱动模块对应接收上述重排序后的N个独立的码流,并根据该重排序后的N个独立的码流调节所述并联的N个LED驱动模块提供的直流电流的占空比,以将所述并联的N个LED驱动模块提供的平均电流保持在给定的电流值 $I_{DC}$ 。

[0009] 优选地,在所述步骤S2中,所述FPGA控制器使用乒乓缓存法将所述RGB信号存储到外部存储器中,然后将存储的RGB信号分割为所述N个独立的码流。

[0010] 优选地,在所述步骤S2中,所述FPGA控制器使用数字视频信号中位面分离的策略对所述N个独立的码流进行重排序。

[0011] 优选地,N为大于或等于2的自然数,当N等于2时,所述第一电流 $I_1$ 大于零,所述第二电流 $I_2$ 的峰值是所述第一电流 $I_1$ 的两倍,用于产生所述LED显示模块设定的最大照明输

出。

[0012] 优选地,所述电流值 $I_{DC}$ 由所述RGB信号和所述LED显示模块的设定的最大照明输出决定。

[0013] 本发明的另一技术方案提供一种LED显示面板的驱动系统,其特征在于,所述系统包括FPGA控制器和分别与所述FPGA控制器连接的视频信号解码器、LED显示模块和至少两个外部存储器,所述FPGA控制器包括并联的N个LED驱动模块,其中,

[0014] 所述视频信号解码器,用于将HDMI/DVI视频信号转换为RGB信号,然后将所述RGB信号与同步信号和时钟信号并行传输到FPGA控制器;

[0015] 所述FPGA控制器,用于将所述RGB信号划分为N个独立的码流,重排序后存储在所述外部存储器中;

[0016] 所述并联的N个LED驱动模块,用于接收重排序后的N个独立的码流,并向所述LED显示模块至少输出第一电流 $I_1$ 和第二电流 $I_2$ ,所述N个独立的码流,用于调节所述并联的N个LED驱动模块输出的电流的占空比,以将所述并联的N个LED驱动模块输出的平均电流保持在给定的电流值 $I_{DC}$ 。

[0017] 优选地,所述FPGA控制器还包括数据接收模块和数据分割模块,所述数据接收模块用于通过乒乓缓存法将所述RGB信号存储到所述外部存储器,所述数据分割模块用于将存储的RGB信号划分为所述N个独立的码流。

[0018] 优选地,所述FPGA控制器还包括位面分离模块,所述位面分离模块用于使用数字视频信号中位面分离的策略对所述N个独立的码流进行重排序。

[0019] 优选地,N为大于或等于2的自然数,当N等于2时,所述第一电流 $I_1$ 大于零,所述第二电流 $I_2$ 是所述第一电流 $I_1$ 的两倍,用于产生所述LED显示模块设定的最大照明输出。

[0020] 优选地,所述电流值 $I_{DC}$ 由所述RGB信号和所述LED显示模块的设定的最大照明输出决定。

[0021] 实施本发明的驱动方法及系统,将多电平脉冲宽度调制方式应用于LED显示面板的驱动方法中,当N等于2时,将低电流水平设为高电流水平的二分之一,既可提高LED显示面板的发光效能又可对LED显示面板进行线性调光。

## 附图说明

[0022] 下面将结合附图及实施例对本发明作进一步说明,附图中:

[0023] 图1是本发明驱动方法的优选实施例的流程示意图;

[0024] 图2是本发明驱动系统的优选实施例的结构示意图;

[0025] 图3是图2中视频解码器的输出信号的优选实施例的波形示意图;

[0026] 图4是图1中步骤102中对RGB信号进行重排序的流程示意图;

[0027] 图5是图2中LED驱动模块的电路结构示意图;

[0028] 图6是图5中LED模块的控制信号的优选实施例的波形示意图;

[0029] 图7是图2中两个并联的LED驱动模块的电路结构示意图;

[0030] 图8是本发明的多电平脉冲宽度调制驱动方法的电流波形图;

[0031] 图9是现有技术中直流驱动方法的电流波形图;

[0032] 图10是现有技术中脉冲宽度调制驱动方法的电流波形图;

[0033] 图11是图8-10中三种驱动方法的调光曲线；

[0034] 图12是本发明使用MPWM驱动方法时LED显示模块的最大发光效能的示意图。

### 具体实施方式

[0035] 本发明是将多电平脉冲宽度调制方式运用在LED显示面板的驱动过程的LED显示面板的驱动方法及系统，多电平脉冲宽度调制方式是开关脉冲宽度调制方式的一种延伸，但其可根据LED显示面板的调光需要，在多对或多个直流电流间自由选择需要周期切换并提供给LED显示模块的至少两个或至少一对直流电流，而不是在两个极端的状态(完全关和开)间切换。通过调节周期切换的至少两个直流电流，可以最大限度地提高LED的发光效能，但同时会使调光趋向非线性。因此，使用多电平脉冲宽度调制方式对LED显示面板进行驱动时，必须在调光的线性度和发光效能间找到一个平衡点，即选择恰当的“直流电流对”进行切换，并调节其中电流值较大或输出的直流电流的占空比，以使电流平均值固定在预定值，在保持线性调光的同时提高LED显示面板的发光效能。

[0036] 如图1所示，本发明的LED显示面板的驱动方法100包括以下步骤：

[0037] 步骤101，视频信号解码器将HDMI/DVI视频信号转换为RGB信号，并将所述RGB信号与同步信号和时钟信号并行传输到FPGA控制器，本步骤中的RGB信号为24位(24-bit)的RGB信号，每种颜色的视频信号的强度使用8位数字编码，因此，每种颜色的灰度等级为256。

[0038] 步骤102，FPGA控制器将RGB信号划分为N个独立的码流，重排序后存储在外部存储器中。

[0039] 其中，N为LED驱动模块的数量， $I_{DC}$ 为对应原始RGB信号所代表的灰度所需的平均电流值，第一电流 $I_1$ 为对应 $I_{DC}$ 的多电平脉冲电流所选定的“直流电流对”中的低电平电流值，第二电流 $I_2$ 为对应 $I_{DC}$ 的多电平脉冲电流所选定的“直流电流对”中的高电平电流值。

[0040] 在本步骤中，FPGA控制器首先使用乒乓缓存法(ping-pong buffering)将来自视频解码器的RGB信号存储到存储器中，然后将存储的RGB信号分割为N个独立的码流(数据串)，并将N个独立的码流重排序为与LED驱动模块兼容的信号。FPGA控制器使用数字视频信号中位面分离(bit-plane separation)的策略对N个独立的码流进行重排序。本步骤中的N各独立的码流分别对应N个并联的LED驱动模块，一个独立码流加载在一个LED驱动模块上。并对应调节所述第二电流 $I_2$ 的占空比以将平均电流保持在给定的电流值 $I_{DC}$ ，同时提高所述LED显示模块的发光效能。电流值 $I_{DC}$ 由所述RGB信号和所述LED显示模块的设定的最大照明输出决定。

[0041] 步骤103，并联的N个LED驱动模块对应接收重排序后的N个独立的码流，至少在第一电流 $I_1$ 和第二电流 $I_2$ 之间周期性切换提供给LED显示模块的直流电流，优选地，所述第一电流 $I_1$ 大于或等于零，所述第二电流 $I_2$ 大于所述第一电流 $I_1$ 。本步骤中的周期切换地电流对 $I_1$ 和 $I_2$ ，是预先依据LED发光效能最大的基本原则从N对电流对中挑选出的，N对电流对分别为： $0$ 和 $I_1$ ， $I_1$ 和 $I_2$ ， $I_3$ 和 $I_4$ ，……， $I_{N-1}$ 和 $I_N$ 。具体的挑选方法见“三电平驱动方案”。

[0042] 在本发明的其它实施例中，可以从N对电流对中挑选W(W大于或等于2)对或Q(Q大于或等于3)个电流进行周期切换，具体的挑选方法见“三电平驱动方案”。

[0043] 本步骤中的N为大于或等于2的自然数，若N等于2，本发明的多电平脉冲宽度调制为3电平脉冲宽度调制，三个电平分别为： $0$ 、 $I_1$ 和 $I_2$ 。其中第二电流 $I_2$ 由LED显示模块的设定

的最大照明输出决定。 $N$ 个并联的LED驱动模块对应 $N+1$ 电平脉冲宽度调制。

[0044] 如图2所示,本发明的LED显示面板的驱动系统包括FPGA控制器20和分别于该FPGA控制器20通信连接的视频信号解码器10、第一外部存储器41、第二外部存储器42和LED显示模块30,FPGA控制器20包括并联的 $N$ 个LED驱动模块231-23N,还可包括数据接收模块21、数据分割模块22和位面分离模块24,其中,

[0045] 视频信号解码器10,用于将HDMI/DVI视频信号转换为RGB信号,然后将所述RGB信号与同步信号和时钟信号并行传输到FPGA控制器20。

[0046] FPGA控制器20,用于对所述RGB信号进行读写和重排序,首先接收RGB信号,并将RGB信号存储在第一外部存储器41或第二外部存储器42中,然后将存储的RGB信号划分为 $N$ 个独立的码流。其数据接收模块21,用于通过乒乓缓存法将接收到的所述RGB信号存储到第一外部存储器41和第二外部存储器42,其数据分割模块22用于将存储的RGB信号划分为 $N$ 个独立的码流,其位面分离模块24用于将 $N$ 个独立码流重排序为与并联的 $N$ 个LED驱动模块兼容的信号。

[0047] 并联的 $N$ 个LED驱动模块231-23N,用于对应接收重排序后的 $N$ 个独立码流,并在 $N$ 个独立码流的调控下向LED显示模块30输出电流。 $N$ 个独立码流调控下所合成的多电平脉冲电流会至少在第一电流 $I_1$ 和第二电流 $I_2$ 之间波动,所述第一电流 $I_1$ 大于或等于零,所述第二电流 $I_2$ 大于所述第一电流 $I_1$ 。

[0048] 在本发明的优选实施例中,视频解码器10向FPGA(现场可编程门阵列)控制器20传输的信号的时序图如图3所示。

[0049] 同步信号(synchronization signal)主要包括输出数据能DE(the output data enable)、垂直同步输出VSYNC(vertical sync output)和水平同步输出HSYNC(horizontal sync output)。DCLK为时钟信号(output data clock)、QE为RGB信号的数据流。

[0050] VSYNC的上升沿指示LED显示面板的一个场的扫描过程,该扫描过程的持续时间为VSYNC的高脉冲持续的时间。HSYNC的上升沿指示一个行扫描(或列扫描)过程。在列扫描过程中,DCLK为一个像素计数器,用于发往FPGA控制器和LED显示模块的数据量,根据面板尺寸。例如,对于一个 $m \times n$ 的面板,对应 $n$ 像素, $n$ 个时钟脉冲将被用来传输数据。

[0051] 在本发明的优选实施例中,FPGA控制器20对 $N$ 个独立的码流进行重排序,以使其与LED驱动模块兼容,本发明可采用图4所示的重排序方法,FPGA控制器20首先使用乒乓缓存的方法将接收的24位RGB信号读入两个外部存储器(RAM)中。每个RAM最小内存应足以存储对应于一个完整场的数据,例如一个 $m \times n$ 的面板,所需要的内存空间是 $m \times n \times 24\text{bits} = 3mn$  bytes。采用乒乓缓存的方法,两个RAM交替进行读取和写入,以确保来自视频解码器10的数据不被间断。

[0052] 随后,FPGA控制器20又对存入RAM中的RGB信号划分为 $N$ 个独立的码流(子RGB信号),然后对子RGB信号进行重排序,以使重排序后的子RGB信号与LED驱动模块兼容。本实施例中的重新排序机制可采用图4所示的位面分离法(bit-plane separation)。在位面分离法中,其中R,G,B分别是真彩色图像数据的红绿蓝三色,分别占用一个字节,八个位。数据经过位面分离以后,不同数据的同权位组成了新的数据,通过控制存储器的地址使一帧所有数据的同权位写在存储器的同一段中。该LED显示面板要求256级灰度,那么将外部存储器分成8个段(D0-D7),每个段存储代表同一个权值的位。这种位面分离的重排序方法将简化

LED驱动模块,例如,如果扫描一行所需要的时间为T,存储在D7中的第一位将导致本行中相应的LED像素被激活128T/256的时长,而存储在D0区域中的第一位将导致该行相应的LED像素被激活1T/256的时长,因此,无需将数据位转换为对应的PWM占空比,也无需使用D/A转换器,以一个分布形式或二进制加权的形式即可实现相同的总的激活时间。因此,在LED显示面板的同一行,可避免所有的LED像素同时激活,从而避免对LED显示面板的电源产生一个巨大的瞬态负载变化。

[0053] 图5为本发明的优选实施例中LED驱动模块的电路示意图,如图所示,LED驱动模块231包括一个16位的移位寄存器(闪存器),接收FPGA控制器20传输的串行数据。FPGA控制器20预先将从外部存储器41或42所储存的(经位面分离后组成的)数据堆中读出16个对应16个像素点的同权值数据,然后再将转换后的数据以16个时钟脉冲传输到LED驱动模块231。若LED显示面板每行的像素超过16,将需要级联多个LED驱动模块231-23N,FPGA控制器将持续传输数据串直到所有的移位寄存器的数据位被充满。当对应一行的所有数据位传输完成后,图6中的LAT脉冲转换到上升沿,LED驱动模块231的锁存器将从移位寄存器读取数据并进行锁存(一旦锁存,移位寄存器可以开始接受同一行下一个权值的数据,而同时锁存器可以独立对LED进行激活)。然后,恒流驱动器在一时间间隔内工作,该时间间隔为图6中BLANK脉冲保持在下降沿的时间,该时间间隔与相应的存储的数据位的权值对应。上述过程将重复进行,直到所有的八组数据位(权值不同的八组数据)传送到LED驱动模块231。之后,行解码器的输入值(图6中的ABCD)增加一个值,同时,下一行的数据位的传输将开始,通过同一个方式将下一行的LED像素点点亮。

[0054] 图7所示为两个并联的LED驱动模块的电路示意图,但本发明不局限于图7所示的并联的两个驱动模块,本发明的FPGA控制器20中包括至少两个并联的LED驱动模块231-23N。

[0055] 图8-图10为三种驱动方法的电流的典型的波形图,DC表示直流驱动法,PWM表示脉冲宽度调制驱动法,MPWM表示多电平脉冲宽度调制驱动法。图中三种驱动方法的电流的平均值均相等,即 $I_{DC}$ 。在本实施例中, $I_1 < I_{DC} < I_2$ ,多电平脉冲宽度调制方式的高电平电流 $I_2$ (第二电流)的持续时间为 $\tau_2$ ,相应的平均电流的表示如下:

$$[0056] \quad I_{DC} = \left(\frac{\tau_2}{T}\right) I_2 + \left(\frac{T-\tau_2}{T}\right) I_1 = I_1 + \left(\frac{\tau_2}{T}\right) (I_2 - I_1) \quad (1)$$

[0057] 多电平脉冲宽度调制方式的主要优点是,它在保持PWM的调光特性的同时提供了比较高的发光效能,从而使其与数字操作的LED显示屏系统兼容。从一个PWM驱动信号到多电平脉冲宽度调制信号的转换,通过保持两个驱动信号的电流平均值相等的方式,如下述方程所示,是很容易实现的。 $\tau_1$ 为在PWM驱动下的高电平电流 $I_2$ (第二电流)的持续时间。

$$[0058] \quad I_{DC} = \left(\frac{\tau_1}{T}\right) I_2 = I_1 + \left(\frac{\tau_2}{T}\right) (I_2 - I_1) \Rightarrow \tau_2 = \left[ \frac{(\tau_1/T) I_2 - I_1}{I_2 - I_1} \right] T \quad (2)$$

[0059] 在理论上,以多电平脉冲宽度调制驱动方式尽可能接近直流驱动方式,可以最大限度地提高LED的发光效能,但这样做同时会使调光过程非线性化。因此,必须选择至少一对合适的切换电流,在调光的线性度和发光效能之间找到一个平衡点。

[0060] 本发明以一个基于三电平驱动方案作为实施例,揭示选择第一电流 $I_1$ 和第二电流

$I_2$ 的标准。目前,第二电流 $I_2$ 的选择是基于指定的LED显示面板的最大光输出选择的,最低的电流水平始终设置为零,以使LED显示面板可以完全关闭,以实现最大的显示对比度。第二电流 $I_2$ 的选择以最大限度地提高LED的发光效能来选择。如图11-图12所示,阴影区A的面积越大时,LED的发光效能越大,而阴影区A的面积如下:

$$\begin{aligned} [0061] \quad A &= \frac{1}{2}L_1I_1 + \frac{1}{2}(L_1 + L_2)(I_2 - I_1) \\ [0062] \quad &= \frac{1}{2}L_1I_2 + \frac{1}{2}L_2(I_2 - I_1) \end{aligned} \quad (3)$$

[0063] 由于LED的照明输出成凹形,可使用一个二次函数的标准形式 $Y = -ax^2 + bx + c$ 拟合,其中 $C=0$ 时,LED的照明输出为零,上述方程(3)可以进一步扩展为:

$$\begin{aligned} [0064] \quad A &= \frac{1}{2}(-aI_1^2 + bI_1)I_2 + \frac{1}{2}(-aI_2^2 + bI_2)(I_2 - I_1) \\ [0065] \quad &= \frac{1}{2}a(I_2^2I_1 - I_2^3 - I_1^2I_2) + \frac{1}{2}bI_2^2 \end{aligned} \quad (4)$$

[0066] 在上述方程中A相对于 $I_1$ 求微分,并将求微分后的方程的值设为零时,可得

$$[0067] \quad I_1 = 0.5 \times I_2 \quad (5)$$

[0068] 以上推导过程,方程(1)-(5)即第一电流 $I_1$ 的选择标准。

[0069] 多电平脉冲宽度调制驱动方法可以任意数量的电流水平进行实际操作,本实施例以三电平脉冲宽度调制为例,进行LED显示面板的驱动,根据给出的式(5),较低的电流水平 $I_1$ 设为较高的电流 $I_1$ 的50%。采用这种设置,MPWM驱动方法可以用最小的额外的计算在FPGA控制器20中得以实现,从而不需要增加更强大的和额外昂贵的计算硬件。

[0070] 实施三电平脉冲宽度调制方式的驱动方案,通过并联两个LED驱动模块即可提供两个恒流电流到LED显示面板进行驱动,但是同时需要两个独立的码流来确保其平均电流值为预设值 $I_{DC}$ ,该预设值与直流驱动方式的驱动电流相等。两个独立的码流,由FPGA控制器20传送而来,FPGA控制器20将RGB信号分割成两个独立的码流,然后传送到LED驱动模块321。

[0071] 上述实施例中的所提出的系统结构同样可以扩展到多电平脉冲宽度调制驱动( $N$ 大于或等于3),可依据原始的RGB视频信号决定(某一个像数的其中一个颜色)所需要的平均电流 $I_{DC}$ ,来选择需要周期切换的一对电流对。以三个并联的驱动模块为例,当 $I_{DC}$ 低于 $I_1$ 时,系统选择在 $(0, I_1)$ 这个电流对工作,并且通过控制 $I_1$ 的占空比实现所需要平均电流,此时0为第一电流, $I_1$ 为第二电流;当 $I_{DC}$ 大于 $I_1$ 并小于 $I_2$ 时,系统选择在 $(I_1, I_2)$ 这个电流对工作,并且通过控制 $I_2$ 的占空比实现所需要平均电流;当 $I_{DC}$ 大于 $I_2$ 时,系统选择在 $(I_2, I_3)$ 这个电流对工作,并且透过控制 $I_3$ 的占空比实现所需要平均电流,此时 $I_2$ 为第一电流, $I_3$ 为第二电流。

[0072] 在多电平脉冲宽度调制驱动( $N$ 大于或等于3)的实施方式中,还可采用两个以上的电流水平进行周期切换。若 $N$ 个驱动模块最终周期切换的电流个数为 $Q$ ( $Q$ 大于或等于3),那么附图11和附图12中标记的电流个数为 $Q$ 个,A区域由1个三角形区域和 $Q-1$ 个梯形区域构成,A的面积即是1个三角形区域和 $Q-1$ 个梯形区域的面积和, $Q$ 个电流的选择标准同上述两

个驱动模块。但是N个LED驱动模块向LED显示模块提供的周期切换的电流的个数,是基于LED显示模块的发光效能和对LED显示模块的线性调光这两方面综合考虑的。该技术方案可以使LED显示模块的发光效能更加趋近于直流驱动方式,但是,同时降低LED显示模块的线性调光过程的线性度。

[0073] 而且为了节约成本,可以将多个驱动单元集成到一个集成电路中。实施该驱动方案,节约巨大能量的同时仅需很低的硬件成本的增加。

[0074] 对于RGB信号中每种颜色的信号,要求将8位的视频信号转换成两个8位的子视频信号(码流),以驱动两个LED驱动模块。分割的一个基准是两个独立子视频信号控制的电流并联叠加以后的平均值必须等于原始的8位视频信号控制的电流的平均值。以下述具体例子为例说明视频信号的分割过程,假设到一个给定的LED像素所需的灰度水平(每种颜色)是由8位视频信号表示:[1010 0000]。如果仅有一个LED驱动模块时,即LED驱动模式为PWM时,其可输出的电平为 $I_{REF}=I_2$ ,那么传送到每个LED像素的平均电流为:

$$\begin{aligned}
 [0075] \quad I_{pixel} &= \left( \frac{2^7 + 2^5}{255} \right) I_2 \\
 [0076] \quad &= \left( \frac{160}{255} \right) I_2 \\
 [0077] \quad &= \left( \frac{320}{255} \right) I_1 \quad (\because I_2 = 2 I_1) \\
 [0078] \quad &= \left( \frac{255}{255} + \frac{65}{255} \right) I_1 \quad (6)
 \end{aligned}$$

[0079] 式(6)的最后一行表明,相同的平均电流可以用两个LED驱动模块和每个LED驱动模块可输出的电平为 $I_{REF}=I_1$ 获得,其中之一等效二进制值 $255/255=[1111 \ 1111]$ ,另一个是等效二进制值 $65/255=[0100 \ 0001]$ 。然后用位面分离法将两个8位子视频信号进行重排序,并映射到不同的存储区域,然后传送到两个LED驱动模块。

[0080] 由上述讨论的例子可知,如果x是一种LED像素(每种颜色)的一个8位视频信号的十进制值,那么视频信号可以被转换成两个8位子组成的视频信号;如果x小于128,那么两个子视频信号分别为原始的八位视频信号和[0000 0000]。如果x大于或等于128,那么两个子视频信号分别为[1111 1111]和 $[(2x-255)$ 的二进制]。

[0081] 如果将以上所述的方法扩展到(N+1)个电平或N个LED驱动模块的使用上,子视频信号可以透过以下简单的计算获得。

[0082] 一、将(N+1)个电平从小到大按顺序排列,即 $0, I_1, I_2, I_3, \dots, I_{N-1}, I_N$ ;

[0083] 二、从原始的8位视频信号控制的电流的平均值 $I_{DC}$ 判定对应的多电平脉冲电流的低电平电流 $I_M$ 和高电平电流 $I_{M+1}$ ;判断条件为 $I_{DC} \geq I_M$ 和 $I_{DC} < I_{M+1}$ ;

[0084] 三、对应 $I_M$ 或小于 $I_M$ 的电平的子视频信号为[1111 1111];对应大于 $I_{M+1}$ 的电平的子视频信号为[0000 0000];

[0085] 四、最后通过以下的简单算式得出高电平 $I_{M+1}$ 的占空比 $x/255$ ;对应 $I_{M+1}$ 的子视频信号为x的等效二进制。

$$[0086] \quad I_{DC} - I_M = \left( \frac{x}{255} \right) (I_{M+1} - I_M)$$

[0087]  $\Rightarrow$

$$[0088] \quad \frac{x}{255} = \frac{I_{DC} - I_M}{I_{M+1} - I_M} \quad (7)$$

[0089] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的权利要求范围之内。

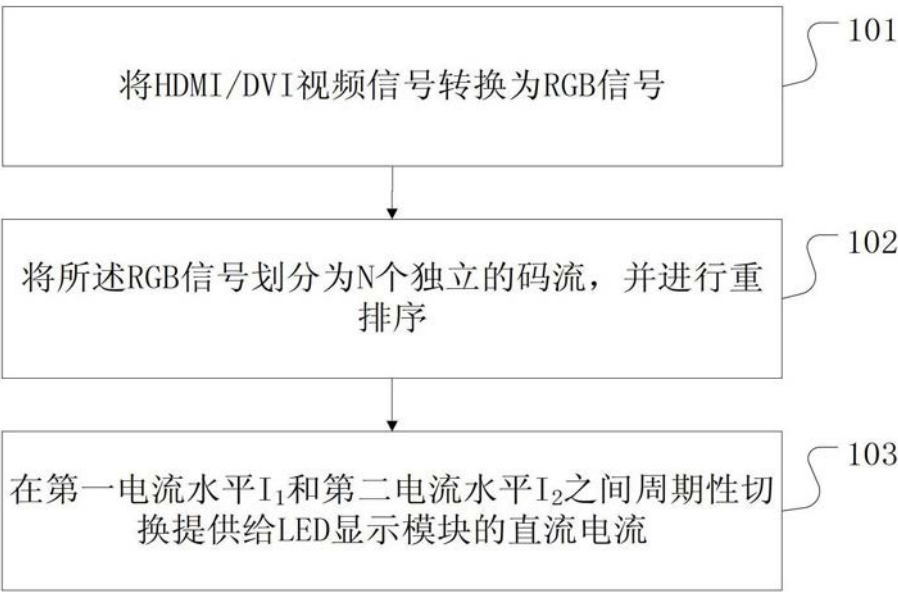


图1

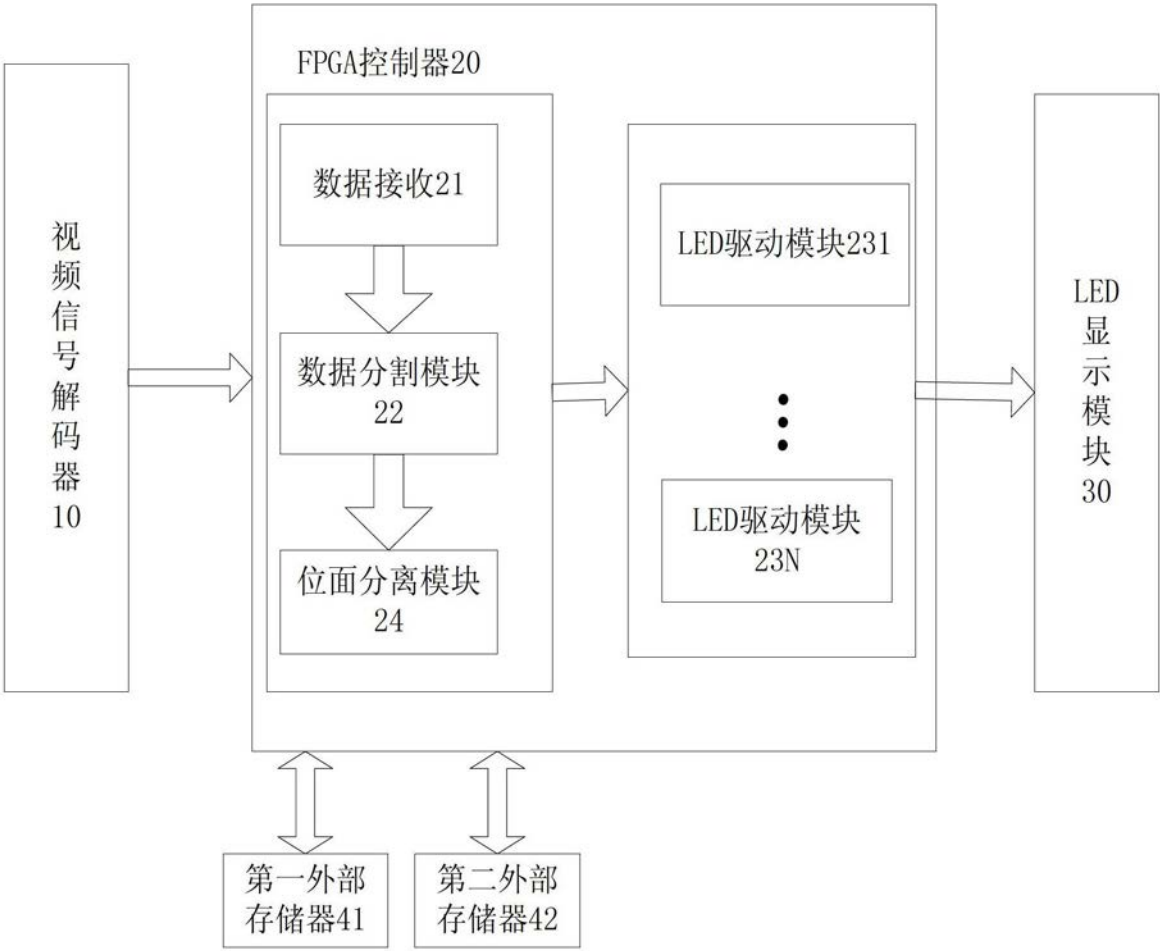


图2

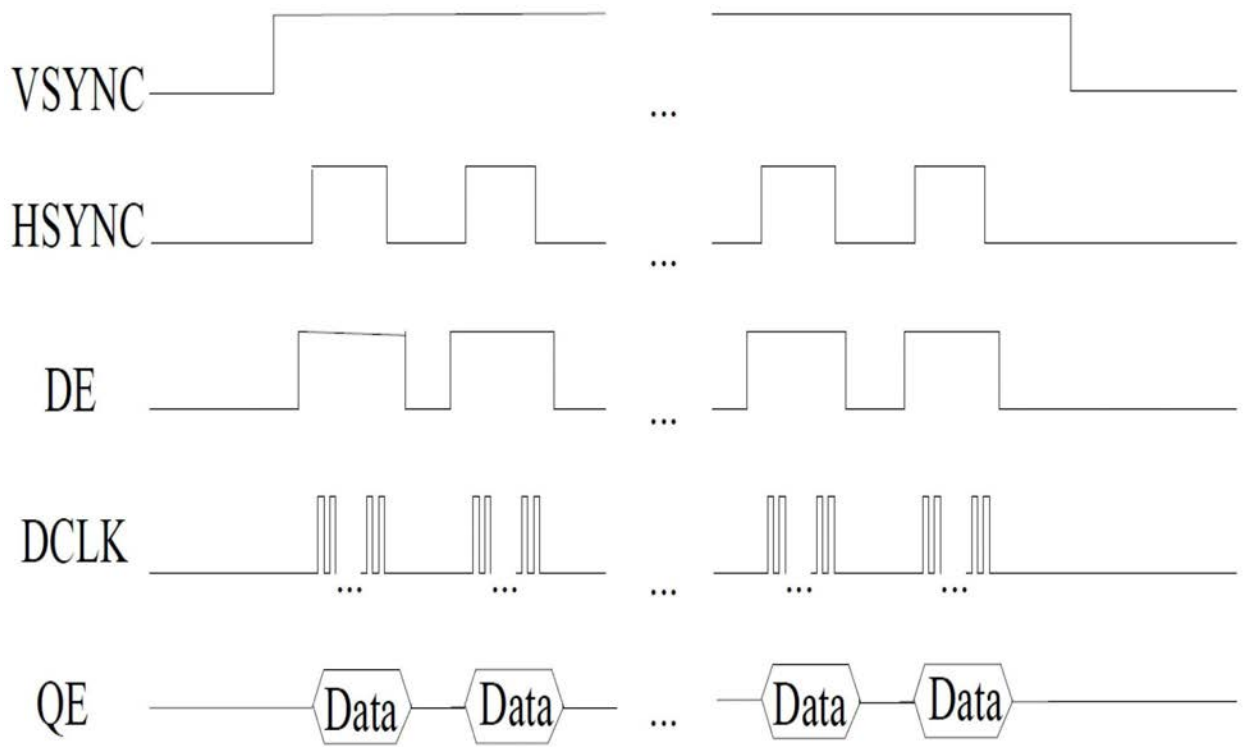


图3

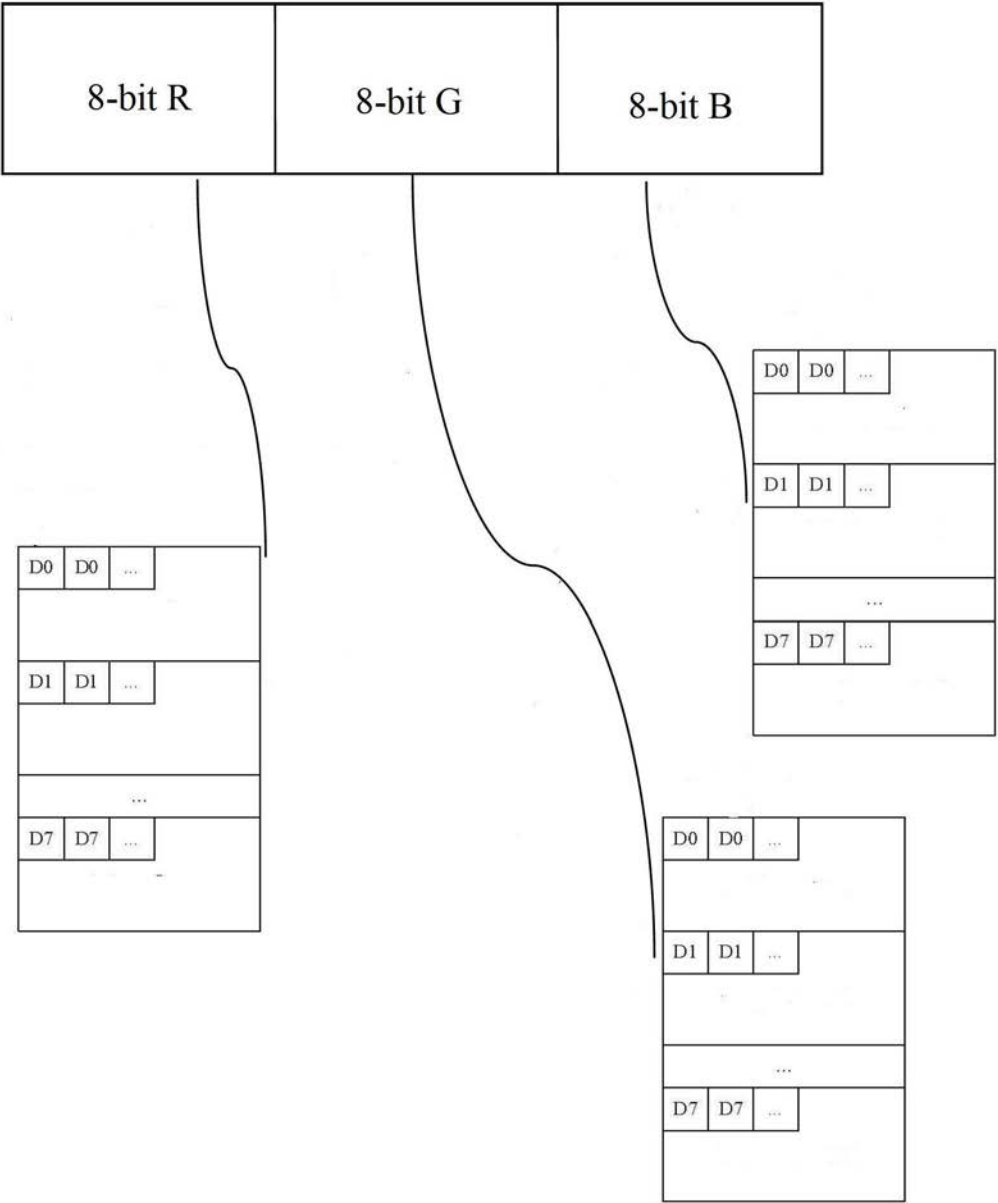


图4

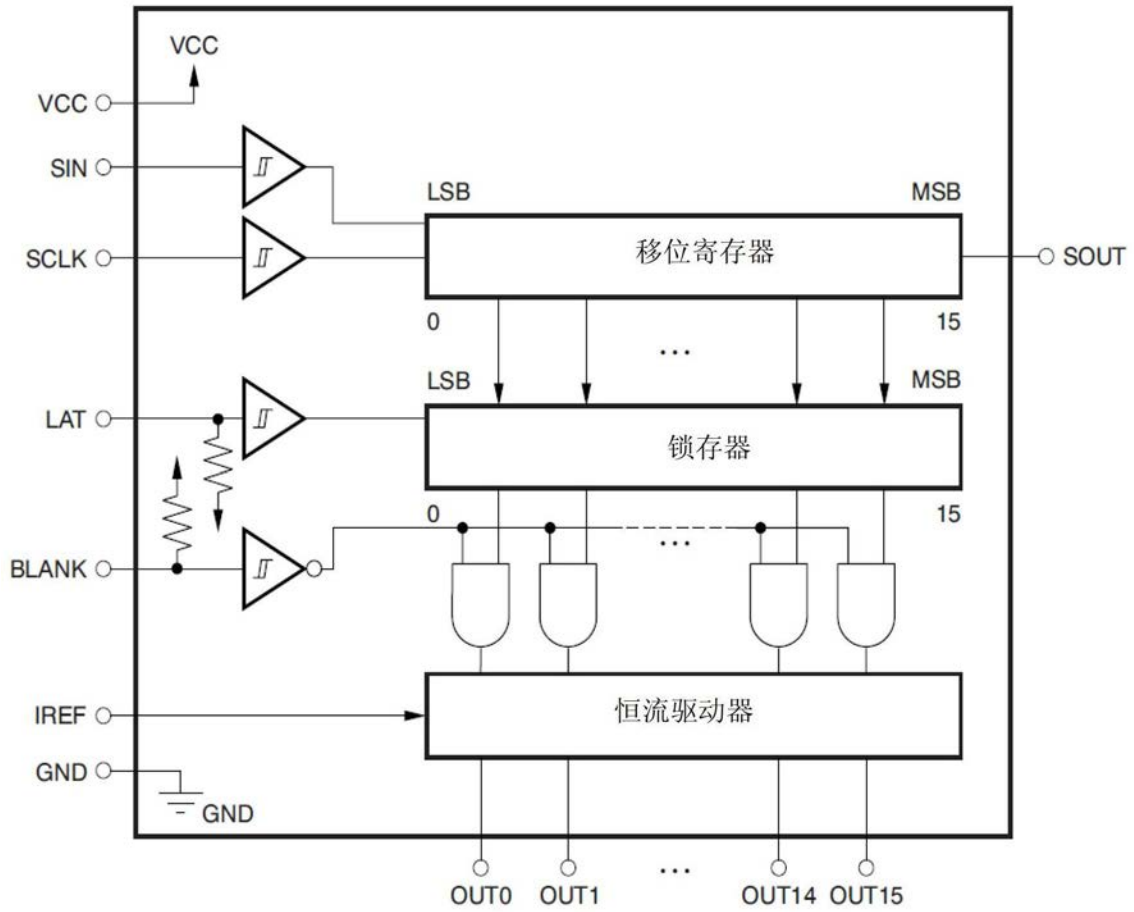


图5

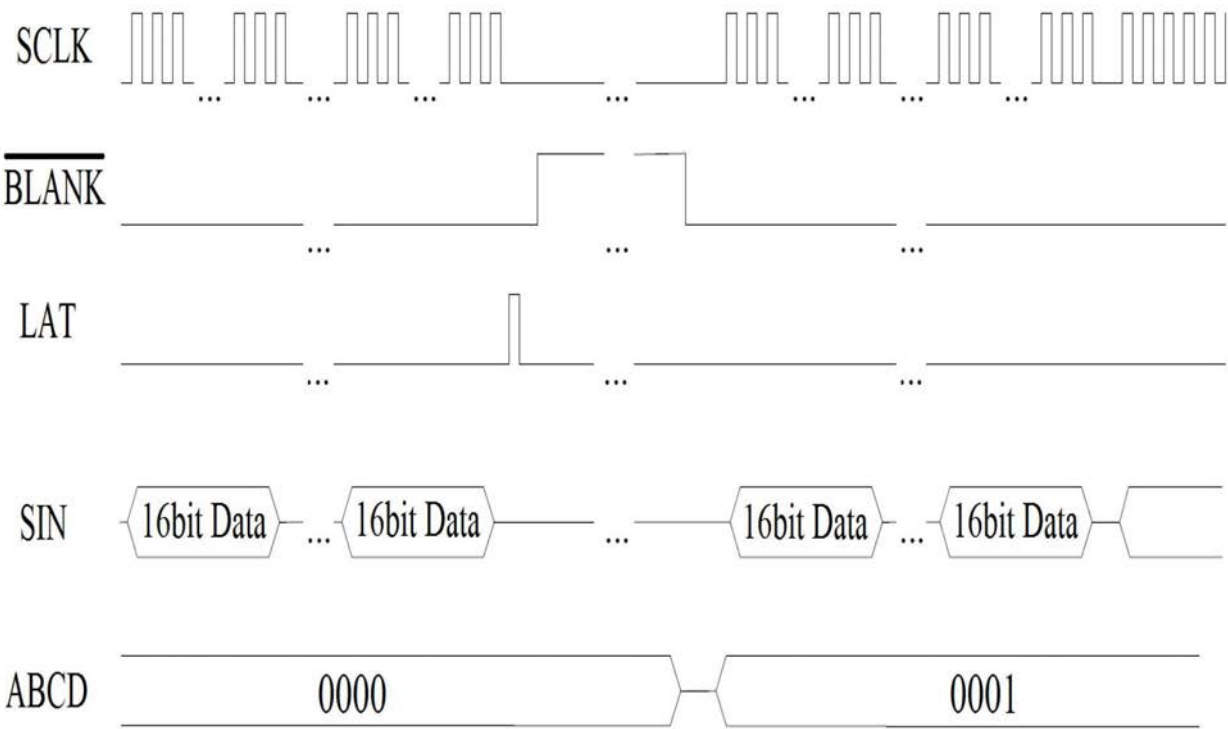


图6

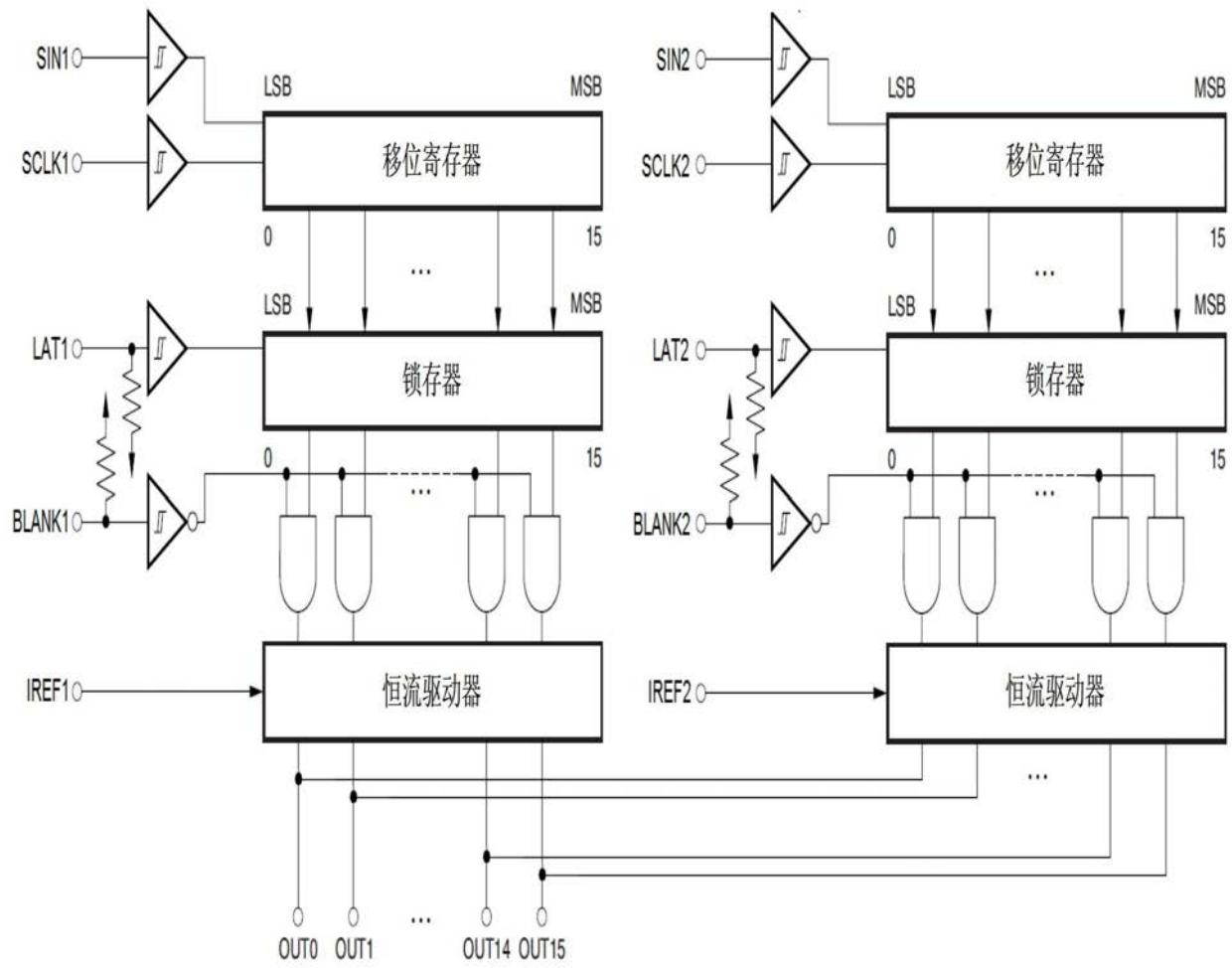


图7

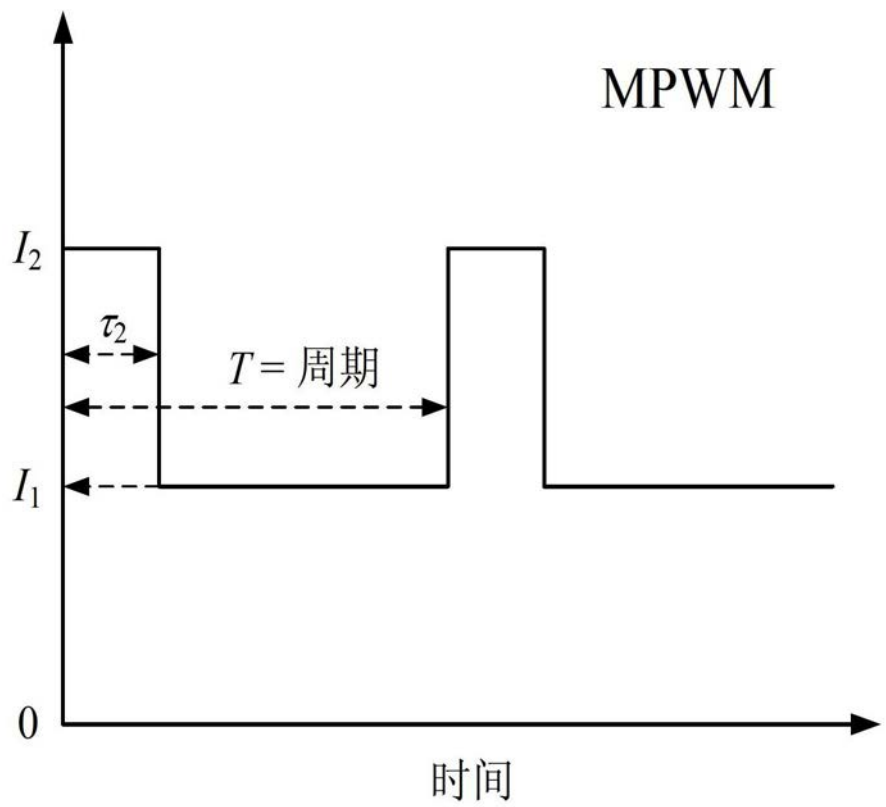


图8

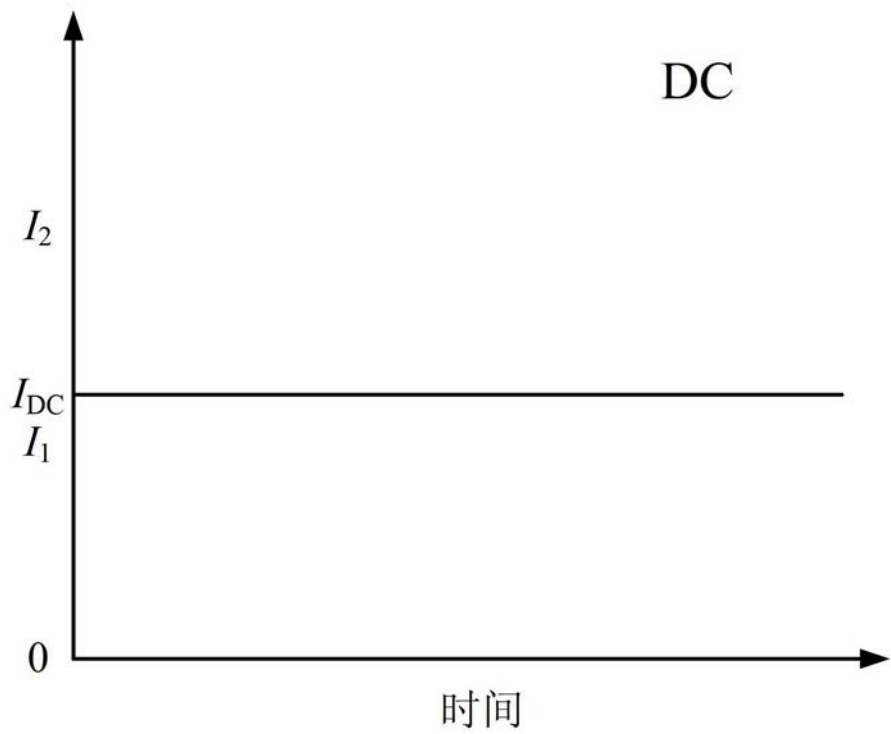


图9

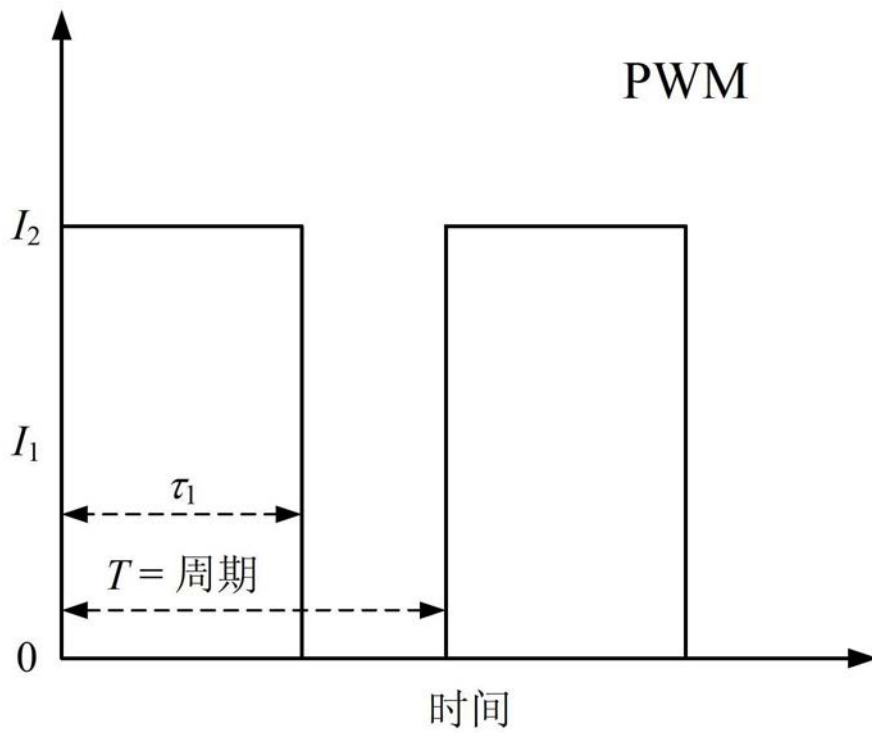


图10

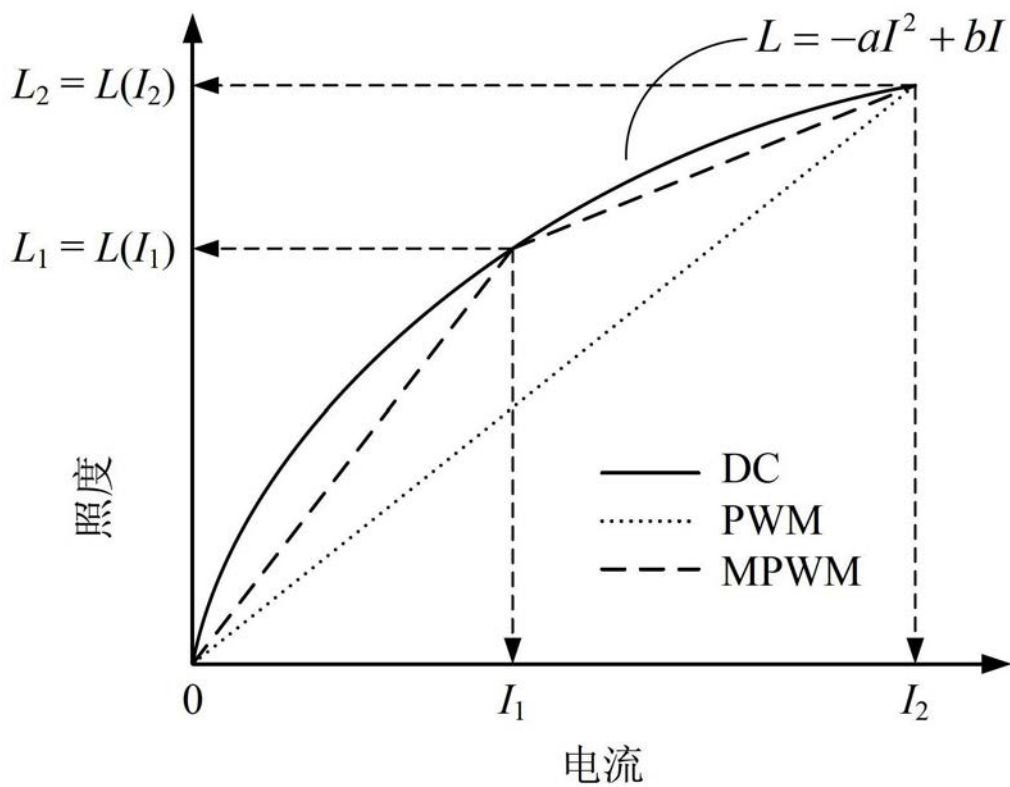


图11

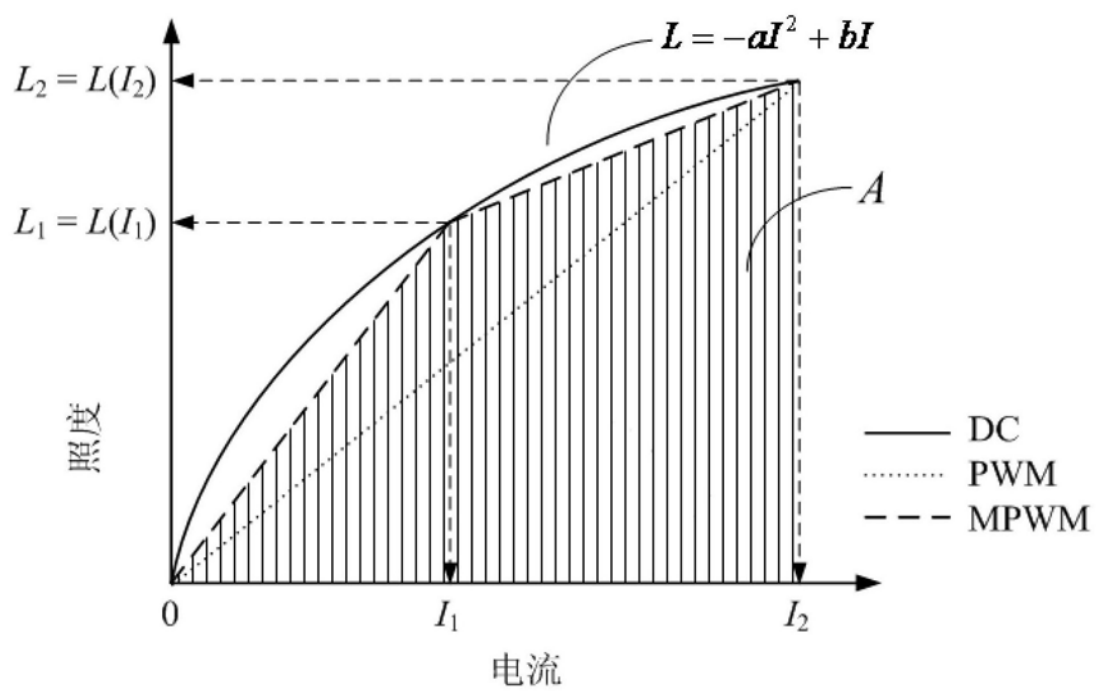


图12