



(12) 发明专利

(10) 授权公告号 CN 102696176 B

(45) 授权公告日 2014. 07. 16

(21) 申请号 201180001583. 4

专利权人 香港理工大学

(22) 申请日 2011. 07. 27

(72) 发明人 岑超荣 陈旭 谭伟文 赵越  
刘重明 喻凡

(85) PCT国际申请进入国家阶段日  
2011. 10. 17

(74) 专利代理机构 北京永新同创知识产权代理  
有限公司 11376

(86) PCT国际申请的申请数据  
PCT/CN2011/077678 2011. 07. 27

代理人 钟胜光

(87) PCT国际申请的公布数据  
W02012/106937 ZH 2012. 08. 16

(51) Int. Cl.  
H03M 13/11 (2006. 01)

(73) 专利权人 华为技术有限公司  
地址 518129 中国广东省深圳市龙岗区坂田  
华为总部办公楼

审查员 孙蕾

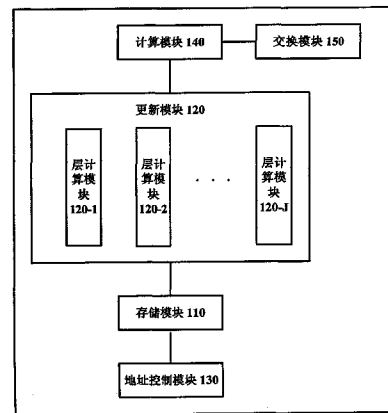
权利要求书3页 说明书11页 附图7页

(54) 发明名称

译码装置

(57) 摘要

本发明涉及一种译码装置,包括:存储模块,用于存储准循环低密度奇偶校验 QC-LDPC 码的二分图的各个变量节点的信道信息和在对所述 QC-LDPC 码进行迭代译码过程中在所述 QC-LDPC 码的各个校验节点和各个变量节点之间传递的外部信息,其中,在所述 QC-LDPC 码的任意两个相连的校验节点 C 和变量节点 V 之间传递的外部信息存储在所述存储模块的相同存储位置中;更新模块,用于在所述 QC-LDPC 码的每一次迭代译码过程中,根据所述存储模块所存储的信道信息和外部信息,按照将所述 QC-LDPC 码的各个校验节点划分为多层校验节点并逐层处理的方式,计算在所述 QC-LDPC 码的各个校验节点和各个变量节点之间传递的外部信息并且将所计算的外部信息写入所述存储模块以更新所述存储模块所存储的外部信息,以及用于根据所述存储模块所存储的信道信息和外部信息以及所计算的外部信息来计算所述 QC-LDPC 码的各个变量节点的后验概率信息;以及,计算模块,用于根据所计算的所述 QC-LDPC 码的各个变量节点的后验概率信息,计算所述 QC-LDPC 码的各个码位的判决取值。利用该译码装置,减少了所需的存储资源,降低了译码装置的硬件实现复杂度。



1. 一种译码装置,包括:

存储模块,用于存储准循环低密度奇偶校验 QC-LDPC 码的各个变量节点的信道信息和在对所述 QC-LDPC 码进行迭代译码过程中在所述 QC-LDPC 码的各个校验节点和各个变量节点之间传递的外部信息,其中,在所述 QC-LDPC 码的任意两个相连的校验节点 C 和变量节点 V 之间传递的外部信息动态存储在所述存储模块的相同存储位置中;

更新模块,用于在所述 QC-LDPC 码的每一次迭代译码过程中,根据所述存储模块所存储的信道信息和外部信息,按照将所述 QC-LDPC 码的各个校验节点划分为多层校验节点并逐层处理的方式,计算在所述 QC-LDPC 码的各个校验节点和各个变量节点之间传递的外部信息并且将所计算的外部信息写入所述存储模块以更新所述存储模块所存储的外部信息,以及用于根据所述存储模块所存储的信道信息和外部信息以及所计算的外部信息来计算所述 QC-LDPC 码的各个变量节点的后验概率信息;以及

计算模块,用于根据所计算的所述 QC-LDPC 码的各个变量节点的后验概率信息,计算所述 QC-LDPC 码的各个码位的判决取值;

其中,

在所述 QC-LDPC 码的每一次迭代译码过程中,在包括所述校验节点 C 的那一层校验节点的前一层校验节点处理完成之后但在包括所述校验节点 C 的那一层校验节点开始处理之前,所述相同存储位置存储所述变量节点 V 向所述校验节点 C 传递的外部信息,以及,在包括所述校验节点 C 的那一层校验节点处理完成之后,所述相同存储位置存储所述校验节点 C 向所述变量节点 V 传递的外部信息。

2. 如权利要求 1 所述的译码装置,其中,

在所述 QC-LDPC 码的每一次迭代译码过程中,在包括所述校验节点 C 的那一层校验节点的前一层校验节点处理完成之后但在包括所述校验节点 C 的那一层校验节点开始处理之前,所述存储模块中与所述 QC-LDPC 码的除了包括所述校验节点 C 的那一层校验节点之外的其它层校验节点相关的各个存储位置存储校验节点传递给变量节点的外部信息,以及,在包括所述校验节点 C 的那一层校验节点处理完成之后,所述存储模块中与包括所述校验节点 C 的那一层校验节点的下一层校验节点相关的各个存储位置存储变量节点传递给校验节点的外部信息。

3. 如权利要求 1 或 2 所述的译码装置,其中,

所述更新模块包括多个层计算模块,其中,每一个层计算模块与所述多层校验节点的其中一层校验节点相对应,用于在所述 QC-LDPC 码的每一次迭代译码过程中,当所述其中一层校验节点的处理次序到达时,根据所述存储模块所存储的外部信息来计算所述其中一层校验节点传递给与所述其中一层校验节点相连的各个变量节点的外部信息,根据所述存储模块所存储的信道信息、外部信息以及所计算的所述其中一层校验节点传递给与所述其中一层校验节点相连的各个变量节点的外部信息,计算与所述其中一层校验节点相连的各个变量节点传递给下一层校验节点的外部信息以及与所述其中一层校验节点相连的各个变量节点的后验概率信息,并且将所计算的外部信息写入所述存储模块以更新所述存储模块所存储的外部信息。

4. 如权利要求 3 所述的译码装置,其中,

所述多层校验节点中的每一层校验节点被分为多组校验节点,

所述多个层计算模块的每一个层计算模块用于在所述 QC-LDPC 码的每一次迭代译码过程中,当所述其中一层校验节点的处理次序到达时,以逐组校验节点进行处理的方式,根据所述存储模块所存储的外部信息来计算所述其中一层校验节点的每一组校验节点传递给与所述每一组校验节点相连的各个变量节点的外部信息,根据所述存储模块所存储的外部信息、信道信息以及所计算的所述每一组校验节点传递给与所述每一组校验节点相连的各个变量节点的外部信息,计算与所述每一组校验节点相连的各个变量节点传递给所述下一层校验节点的外部信息以及与所述每一组校验节点相连的各个变量节点的后验概率信息,并且将所计算的外部信息写入所述存储模块以更新所述存储模块所存储的外部信息。

5. 如权利要求 4 所述的译码装置,其中,

所述多个层计算模块的每一个层计算模块包括一个处理模块组,其中,每一个层计算模块的所述处理模块组中的每一个处理模块与所述其中一层校验节点的每一组校验节点的其中一个校验节点相对应,用于在所述 QC-LDPC 码的每一次迭代译码过程中,当所述其中一层校验节点的处理次序到达时,以逐组校验节点进行处理的方式,根据所述存储模块所存储的外部信息来计算所述其中一个校验节点传递给与所述其中一个校验节点相连的各个变量节点的外部信息,根据所述存储模块所存储的外部信息和信道信息以及所计算的所述其中一个校验节点传递给与所述其中一个校验节点相连的各个变量节点的外部信息来计算与所述其中一个校验节点相连的各个变量节点传递给所述下一层校验节点的外部信息以及与所述其中一个校验节点相连的各个变量节点的后验概率信息,并且将所计算的外部信息写入所述存储模块以更新所述存储模块所存储的外部信息。

6. 如权利要求 5 所述的译码装置,其中,

所述处理模块组中的各个处理模块并行工作。

7. 如权利要求 6 所述的译码装置,其中,

所述多个层计算模块的每一个层计算模块的所述处理模块组中的每一个处理模块包括一个校验节点处理器和多个变量节点处理器,其中

所述校验节点处理器用于在所述 QC-LDPC 码的每一次迭代译码过程中,当所述其中一层校验节点的处理次序到达时,根据所述存储模块所存储的与所述其中一个校验节点相连的各个变量节点传递给所述其中一个校验节点的外部信息来计算所述其中一个校验节点传递给与所述其中一个校验节点相连的各个变量节点的外部信息,

所述多个变量节点处理器的每一个变量节点处理器对应于与所述其中一个校验节点相连的各个变量节点的其中一个变量节点,用于在所述其中一个校验节点计算出所述其中一个校验节点传递给所述其中一个变量节点的外部信息后,根据所计算的所述其中一个校验节点传递给所述其中一个变量节点的外部信息、所述存储模块所存储的所述其中一个变量节点的信道信息和所述存储模块所存储的与所述其中一个变量节点相连的其他层校验节点传递给所述其中一个变量节点的外部信息来计算所述其中一个变量节点传递给与所述其中一个变量节点相连的下一层校验节点的外部信息和所述其中一个变量节点的后验概率信息。

8. 如权利要求 7 所述的译码装置,其中,

所述存储模块包括多个子存储模块,其中,每一个子存储模块与所述 QC-LDPC 码的多个码字的其中一个码字相对应,用于存储所述其中一个码字的各个变量节点的信道信息和

在对所述其中一个码字进行迭代译码过程中在所述其中一个码字的各个校验节点和各个变量节点之间传递的外部信息,其中,在所述其中一个码字的相同的校验节点和变量节点之间传递的外部信息存储在所述其中一个码字相对应的子存储模块的相同存储位置中,

所述多个层计算模块的每一个层计算模块的所述处理模块组中的各个处理模块的处理被分成多个顺序执行的处理步骤,其中,当所述多个层计算模块的每一个层计算模块的所述处理模块组中的各个处理模块的第一个处理步骤完成对所述多个码字的其中一个码字的处理后,在没有空闲等待的情况下开始对所述多个码字中的另一个码字进行处理,并且其中,所述处理模块组中的各个处理模块把所计算的在所述多个码字的每一个码字的各个校验节点和各个变量节点之间传递的外部信息写入所述存储模块中与每一个码字相应的子存储模块以更新与每一个码字相应的子存储模块所存储的外部信息。

9. 如权利要求 1 所述的译码装置,其中,还包括:

地址控制模块,用于控制所述更新模块从所述存储模块中读取信道信息和外部信息和向所述存储模块写入所述更新模块所计算的外部信息的地址。

10. 如权利要求 1 所述的译码装置,其中,还包括:

交换模块,用于根据所述 QC-LDPC 码的各个码位在所述 QC-LDPC 码中所处的先后顺序,依次输出所述计算模块所计算的所述 QC-LDPC 码的各个码位的判决取值。

11. 如权利要求 1 所述的译码装置,其中

所述计算模块进一步用于根据在所述 QC-LDPC 码的最后一次迭代译码时所计算的所述 QC-LDPC 码的各个变量节点的后验概率信息来计算所述 QC-LDPC 码的各个码位的判决取值。

12. 如权利要求 1 所述的译码装置,其中

所述更新模块进一步用于在所述 QC-LDPC 码的每一次迭代译码过程中,根据所述存储模块所存储的信道信息和外部信息以及所述计算的外部信息来计算所述 QC-LDPC 码的各个变量节点的后验概率信息。

13. 如权利要求 1 所述的译码装置,其中

所述更新模块进一步用于在所述 QC-LDPC 码的最后一次迭代译码过程中,根据所述存储模块所存储的信道信息和外部信息以及所述计算的外部信息来计算所述 QC-LDPC 码的各个变量节点的后验概率信息。

## 译码装置

### 技术领域

[0001] 本发明涉及通信领域,尤其涉及一种用于对低密度奇偶检验码进行译码的译码装置。

### 背景技术

[0002] 低密度奇偶校验(LDPC)码是一种线性分组码,其性能接近香农信道容量的极限,因此,LDPC码在无线通信、卫星通信等通信领域中得到了很多应用。

[0003] LDPC码通常用稀疏奇偶校验矩阵H表示。图1A示出了校验矩阵H的一个例子。假设LDPC码的校验矩阵H是一个M行×N列的矩阵,则LDPC码也可以用于一个具有M个校验节点和N个变量节点的二分图表示,其中,每一个校验节点表示校验矩阵H的其中一行元素,每一个变量节点表示校验矩阵H的其中一列元素。图1B示出了具有图1A的校验矩阵H的LDPC码的二分图。H矩阵中的“1”代表了变量节点和校验节点之间的连接关系,在二分图中表现为变量节点与校验节点之间的一条边相连。由一条边相连的变量节点和校验节点互称为相邻节点。

[0004] 在LDPC码的众多译码算法中,分层译码算法具有算法收敛速度更快和误码性能更好的特点,因此,LDPC码的分层译码算法受到了更多的关注,并且已经提出了各种各样实现结构的分层译码器。

[0005] 参考文献1(Zhongfeng Wang, Zhiqiang Cui, Jin Sha “VLSI Design for Low-Density Parity-Check Code Decoding”, IEEE CIRCUITS AND SYSTEM MAGAZINE, FIRST QUARTER 2011)提出了一种分层译码器的实现结构。然而,该分层译码器需要两组存储单元来分别存储在对LDPC码进行迭代译码过程中计算得到的校验节点传递给变量节点的信息和变量节点传递给校验节点的信息,因此,该分层译码器需要更多的存储资源,导致该分层译码器的硬件实现复杂度高。

### 发明内容

[0006] 考虑到现有技术的上述问题,本发明的实施例提出一种译码装置,其硬件实现的复杂度低。

[0007] 按照本发明实施例的一种译码装置,包括:存储模块,用于存储准循环低密度奇偶校验QC-LDPC码的二分图的各个变量节点的信道信息和在对所述QC-LDPC码进行迭代译码过程中在所述QC-LDPC码的各个校验节点和各个变量节点之间传递的外部信息,其中,在所述QC-LDPC码的任意两个相连的校验节点和变量节点之间传递的外部信息动态存储在所述存储模块的相同存储位置中;更新模块,用于在所述QC-LDPC码的每一次迭代译码过程中,根据所述存储模块所存储的信道信息和外部信息,按照将所述QC-LDPC码的各个校验节点划分为多层校验节点并逐层处理的方式,计算在所述QC-LDPC码的各个校验节点和各个变量节点之间传递的外部信息并且将所计算的外部信息写入所述存储模块以更新所述存储模块所存储的外部信息,以及用于根据所述存储模块所存储的信道信息和外部信

息以及所计算的外部信息来计算所述 QC-LDPC 码的各个变量节点的后验概率信息；以及，计算模块，用于根据所计算的所述 QC-LDPC 码的各个变量节点的后验概率信息，计算所述 QC-LDPC 码的各个码位的判决取值。

[0008] 由于译码装置将在 QC-LDPC 码的迭代译码过程中 QC-LDPC 码的任意两个相连的校验节点和变量节点之间传递的外部信息动态存储在存储模块的相同存储位置中，所以减少了译码装置所需的存储资源，降低了译码装置的硬件实现复杂度。

#### 附图说明

[0009] 本发明的其它特点、特征、优点和益处通过以下结合附图的详细描述将变得更加显而易见。其中：

[0010] 图 1A 示出了校验矩阵 H 的一个例子；

[0011] 图 1B 示出了具有图 1A 的校验矩阵 H 的 LDPC 码的二分图；

[0012] 图 2 示出了按照本发明实施例一的译码装置的结构示意图；

[0013] 图 3 示出了按照本发明实施例一的层计算模块的结构示意图；

[0014] 图 4 示出了按照本发明实施例一的处理模块的结构示意图；

[0015] 图 5 示出了按照本发明实施例一的 QC-LDPC 码的校验矩阵 H 的一个示例；

[0016] 图 6A 示出了按照本发明实施例一的第一层校验节点译码的示意图；

[0017] 图 6B 示出了按照本发明实施例一的第二层校验节点译码的示意图；

[0018] 图 7 示出了现有技术的译码装置的流水调度示意图；以及

[0019] 图 8 示出了按照本发明实施例二的译码装置的流水调度示意图。

#### 具体实施方式

[0020] 本发明的实施例提出了一种用于对准循环低密度奇偶校验 (QC-LDPC) 码进行译码的译码装置，其将在 QC-LDPC 码的迭代译码过程中在 QC-LDPC 码的任意两个相连的校验节点和变量节点之间传递的外部信息动态存储在相同存储位置中，从而减少了译码装置所需的存储资源，降低了译码装置的硬件实现复杂度。

[0021] 下面，结合附图详细描述本发明的各个实施例。

[0022] < 实施例一 >

[0023] QC-LDPC 码是 LDPC 码的一个子类，其校验矩阵 H 矩阵可由多个属于循环置换矩阵的子矩阵构成，其中，循环置换矩阵是对单位矩阵进行循环右移得到的矩阵。

[0024] 在本发明实施例一中，假设 QC-LDPC 码的校验矩阵 H 由  $J \times L$  个属于循环置换矩阵的子矩阵构成，每个子矩阵是大小为  $z \times z$ ，则 QC-LDPC 码具有  $J \times z$  个校验节点和  $L \times z$  个变量节点。QC-LDPC 码的  $J \times z$  个校验节点被划分为 J 层校验节点，每一层校验节点包括 z 个校验节点。每一层校验节点进一步被划分为 G 组，则每一组校验节点包括  $z/G$  个校验节点。

[0025] 在本发明实施例一中，对 QC-LDPC 码的译码进行  $N_{\max}$  次迭代，并且在 QC-LDPC 码的每一次迭代译码过程中，按照逐层逐组校验节点进行处理并且每组校验节点中的校验节点并行处理的方式来对 QC-LDPC 码进行译码。

[0026] 现在参考图 2，其示出了按照本发明实施例一的译码装置的结构示意图。如图 2 所示，译码装置包括存储模块 110、更新装置 120、地址控制模块 130、计算装置 140 和交换模块

150。

[0027] 其中,存储模块 110 存储来自信道的 QC-LDPC 码的各个变量节点的信道信息和在 QC-LDPC 码的迭代译码过程中在 QC-LDPC 码的各个校验节点和各个变量节点之间传递的外部信息(包括:校验节点传递给与其相连的变量节点的外部信息、变量节点传递给与其相连的校验节点的外部信息)。其中,在 QC-LDPC 码的任意两个相连的校验节点  $C_i$  和变量节点  $V_j$  之间传递的外部信息动态存储在存储模块 110 的相同存储位置中,即,校验节点  $C_i$  传递给变量节点  $V_j$  的外部信息和变量节点  $V_j$  传递给校验节点  $C_i$  的外部信息动态存储在存储模块 110 的同一存储位置中。其中,在 QC-LDPC 码的每一次迭代译码过程中,在包括校验节点  $C_i$  的那一层校验节点的前一层校验节点处理完成之后但在包括校验节点  $C_i$  的那一层校验节点开始处理之前,该相同存储位置存储变量节点  $V_j$  向校验节点  $C_i$  传递的外部信息,以及在包括校验节点  $C_i$  的那一层校验节点处理完成之后,该相同存储位置存储校验节点  $C_i$  向变量节点  $V_j$  传递的外部信息。

[0028] 更新模块 120 用于在 QC-LDPC 码的每一次迭代译码过程中,根据存储模块 110 所存储的信道信息和外部信息,按照对 QC-LDPC 码的 J 层校验节点逐层逐组处理的方式,计算在 QC-LDPC 码的各个校验节点和各个变量节点之间传递的外部信息和 QC-LDPC 码的各个变量节点的后验概率信息,并且将所计算的外部信息写入存储模块 110 以更新存储模块 110 所存储的外部信息。

[0029] 地址控制模块 130 控制更新模块 120 从存储模块 110 中读取信道信息和外部信息和向存储模块 110 写入更新模块 120 所计算的外部信息的地址。

[0030] 计算模块 140 根据在 QC-LDPC 码的第  $N_{\max}$  次(即最后一次)迭代译码时更新模块 120 所计算的 QC-LDPC 码的各个变量节点的后验概率信息,计算 QC-LDPC 码的各个码位的判决取值。

[0031] 交换模块 150 根据 QC-LDPC 码的各个码位在 QC-LDPC 码中所处的先后顺序,依次输出所计算的 QC-LDPC 码的各个码位的判决取值。

[0032] 如图 2 所示,更新模块 120 包括 J 个层计算模块 120-1、120-2、...、120-J。其中,每一个层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 分别与 QC-LDPC 码的第 i 层校验节点相对应,用于在 QC-LDPC 码的每一次迭代译码过程中,当第 i 层校验节点的处理次序到达时,以对第 i 层校验节点的各组校验节点逐组处理的方式,根据存储模块 110 所存储的外部信息,计算第 i 层校验节点的每一组校验节点传递给与所述每一组校验节点相连的各个变量节点的外部信息,根据存储模块 110 所存储的外部信息、信道信息和所计算的所述每一组校验节点传递给与所述每一组校验节点相连的各个变量节点的外部信息,计算与所述每一组校验节点相连的各个变量节点传递给下一层校验节点的外部信息以及与所述每一组校验节点相连的各个变量节点的后验概率信息,并且将所计算的外部信息写入存储模块 110 以更新存储模块 110 所存储的外部信息。

[0033] 具体的,在 QC-LDPC 码的每一次迭代译码过程中,层计算模块 120-1 首先进行工作,然后在层计算模块 120-1 工作完毕后层计算模块 120-2 进行工作,接着在层计算模块 120-2 工作完毕后层计算模块 120-3 进行工作,依次类推,最后在层计算模块 120-(J-1) 工作完毕后层计算模块 120-J 进行工作。

[0034] 下面,以层计算模块 120-J 为例解释各个层计算模块的具体工作过程。

[0035] 首先进行第一步处理,即层计算模块 120-J 根据存储模块 110 所存储的外部信息来计算第 J 层校验节点的第 1 组校验节点传递给与第 J 层校验节点的第 1 组校验节点相连的各个变量节点的外部信息,根据存储模块 110 所存储的信道信息、外部信息和所计算的第 J 层校验节点的第 1 组校验节点传递给与第 J 层校验节点的第 1 组校验节点相连的各个变量节点的外部信息,计算与第 J 层校验节点的第 1 组校验节点相连的各个变量节点传递给第 1 层校验节点的外部信息以及与第 J 层校验节点的第 1 组校验节点相连的各个变量节点的后验概率信息,并且将所计算的外部信息写入存储模块 110 以更新存储模块 110 所存储的外部信息。

[0036] 然后,在第一步处理完毕后进行第二步处理,即层计算模块 120-J 根据存储模块 110 所存储的外部信息,计算第 J 层校验节点的第 2 组校验节点传递给与第 J 层校验节点的第 2 组校验节点相连的各个变量节点的外部信息,根据存储模块 110 所存储的信道信息、外部信息和所计算的第 J 层校验节点的第 2 组校验节点传递给与第 J 层校验节点的第 2 组校验节点相连的各个变量节点的外部信息,计算与第 J 层校验节点的第 2 组校验节点相连的各个变量节点传递给第 1 层校验节点的外部信息以及与第 J 层校验节点的第 2 组校验节点相连的各个变量节点的后验概率信息,并且将所计算的外部信息写入存储模块 110 以更新存储模块 110 所存储的外部信息。

[0037] 依次类推,最后,在第 G-1 步处理完毕后进行第 G 步处理,即层计算模块 120-J 根据存储模块 110 所存储的外部信息、计算第 J 层校验节点的第 G 组校验节点传递给与第 J 层校验节点的第 G 组校验节点相连的各个变量节点的外部信息,根据存储模块 110 所存储的信道信息、外部信息和所计算的第 J 层校验节点的第 G 组校验节点传递给与第 J 层校验节点的第 G 组校验节点相连的各个变量节点的外部信息,计算与第 J 层校验节点的第 G 组校验节点相连的各个变量节点传递给第 1 层校验节点的外部信息以及与第 J 层校验节点的第 G 组校验节点相连的各个变量节点的后验概率信息,并且将所计算的外部信息写入存储模块 110 以更新存储模块 110 所存储的外部信息。

[0038] 现在参考图 3,其示出了按照本发明实施一的层计算模块的结构示意图。如图 3 所示,层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 包括一个处理模块组,其包括  $z/G$  个处理模块。

[0039] 层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 的处理模块组中的每一个处理模块与 J 层校验节点的第 i 层校验节点的每一组校验节点的其中一个校验节点相对应,用于在 QC-LDPC 码的每一次迭代译码过程中,当第 i 层校验节点的处理次序到达时,以逐组校验节点进行处理的方式,根据存储模块 110 所存储的外部信息,计算该其中一个校验节点传递给与该其中一个校验节点相连的各个变量节点的外部信息,根据存储模块 110 所存储的外部信息、信道信息以及所计算的该其中一个校验节点传递给与该其中一个校验节点相连的各个变量节点的外部信息,计算与该其中一个校验节点相连的各个变量节点传递给下一层校验节点的外部信息以及与该其中一个校验节点相连的各个变量节点的后验概率信息,并且将所计算的外部信息写入存储模块 110 以更新存储模块 110 所存储的外部信息。层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 的处理模块组中的各个处理模块并行工作。

[0040] 例如,假设 QC-LDPC 码的每一层校验节点包括 6 个校验节点,每一层校验节点被分成 3 组校验节点,则每一层校验节点的每一组校验节点包括两个校验节点,分别用校验节点 1 和校验节点 2 来表示。相应地,层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 的处理模块组包括



两个处理模块,分别用处理模块 1 和处理模块 2 表示,则层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 的处理模块 1 与第 i 层校验节点中的第一组校验节点的校验节点 1、第二组校验节点的校验节点 1 和第三组校验节点的校验节点 1 相对应,以及层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 的处理模块 2 与第 i 层校验节点中的第一组校验节点的校验节点 2、第二组校验节点的校验节点 2 和第三组校验节点的校验节点 2 相对应。

[0041] 现在参考图 4,其示出了按照本发明实施一的处理模块的结构示意图。如图 4 所示,层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 的处理模块 122 包括一个校验节点处理器 CNP 和多个变量节点处理器 VNP-k ( $k = 1, 2, 3, \dots$ )。

[0042] 其中,层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 的处理模块 122 的校验节点处理器 CNP 用于在 QC-LDPC 码的每一次迭代译码过程中,当第 i 层校验节点的处理次序到达时,根据存储模块 110 所存储的与处理模块 122 所对应的校验节点 m 相连的各个变量节点传递给该对应的校验节点 m 的外部信息,计算该对应的校验节点 m 传递给与该校验节点 m 相连的各个变量节点的外部信息。

[0043] 层计算模块 120-i ( $i = 1, 2, \dots, J$ ) 的处理模块 122 的每一个变量节点处理器 VNP-k 对应于与该校验节点 m 相连的各个变量节点的其中一个变量节点,用于在校验节点处理器 CNP 计算出该校验节点 m 传递给该其中一个变量节点的外部信息后,根据所计算的该校验节点 m 传递给该其中一个变量节点的外部信息、存储模块 110 所存储的该其中一个变量节点的信道信息和存储模块 110 所存储的与该其中一个变量节点相连的其他层校验节点传递给该其中一个变量节点的外部信息,计算该其中一个变量节点传递给与该校验节点 m 相连的下一层校验节点的外部信息和该其中一个变量节点的后验概率信息。

[0044] 其中,校验节点处理器 CNP 按照等式 (1) 来计算校验节点 m 传递给与该校验节点 m 相连的各个变量节点的外部信息。

$$[0045] \quad \alpha_{mn} = 2 \tanh^{-1} \left( \prod_{n' \in \mathcal{N}(m) \setminus n} \tanh \left( \frac{\beta_{mn'}}{2} \right) \right) \text{等式 (1)}$$

[0046] 在等式 (1) 中,  $\alpha_{mn}$  表示校验节点 m 传递给与该校验节点 m 相连的变量节点 n 的外部信息,  $\beta_{mn'}$  表示与该校验节点 m 相连的变量节点 n' 传递给该校验节点 m 的外部信息,  $\mathcal{N}(m)$  表示与该校验节点 m 相连的所有变量节点的集合,以及  $\mathcal{N}(m) \setminus n$  表示集合  $\mathcal{N}(m)$  中除去变量节点 n。

[0047] 变量节点处理器 VNP-k 按照等式 (2) 来计算变量节点 n 传递给与变量节点 n 相连的各个校验节点的外部信息。

$$[0048] \quad \beta_{m'n} = \lambda_n + \sum_{m'' \in \mathcal{M}(n) \setminus m'} \alpha_{m''n} \text{等式 (2)}$$

[0049] 在等式 (2) 中,  $\beta_{m'n}$  表示变量节点 n 传递给与变量节点 n 相连的校验节点 m' 的外部信息,  $\lambda_n$  表示来自信道的变量节点 n 的信道信息,  $\alpha_{m''n}$  表示与变量节点 n 相连的校验节点 m'' 传递给变量节点 n 的外部信息,  $\mathcal{M}(n)$  表示与变量节点 n 相连的所有校验节点的集合,以及  $\mathcal{M}(n) \setminus m'$  表示集合  $\mathcal{M}(n)$  中除去校验节点 m'。

[0050] 变量节点处理器 VNP-k 按照等式 (3) 来计算变量节点 n 的后验概率信息。

[0051] 
$$\beta_n = \lambda_n + \sum_{m' \in M(n)} \alpha_{m'n} \cdot \text{等式 (3)}$$

[0052] 在等式 (3) 中,  $\beta_n$  表示变量节点  $n$  的后验概率信息,  $\lambda_n$  表示来自信道的变量节点  $n$  的信道信息,  $\alpha_{m',n}$  表示与变量节点  $n$  相连的校验节点  $m'$  传递给变量节点  $n$  的外部信息, 以及  $M(n)$  表示与变量节点  $n$  相连的所有校验节点的集合。

[0053] 计算模块 140 在 QC-LDPC 码的第  $N_{\text{MAX}}$  次 (即最后一次) 迭代译码时根据变量节点处理器 VNP-k 所计算的变量节点  $n$  的后验概率信息, 来计算 QC-LDPC 码的第  $n$  个码位  $x_n$  的判决取值。即, 当  $\beta_n \geq 0$  时, 计算 QC-LDPC 码的第  $n$  个码位  $x_n$  的判决取值为 0, 即判决  $x_n = 0$ , 否则计算 QC-LDPC 码的第  $n$  个码位  $x_n$  的判决取值为 1, 即判决  $x_n = 1$ 。

[0054] 下面, 参考具体例子来进一步详细描述本发明实施例一的译码装置。

[0055] 现在参考图 5, 其示出了按照本发明实施例一的 QC-LDPC 码的校验矩阵  $H$  的一个示例。在本示例中, 假定对 QC-LDPC 码的译码进行  $N_{\text{MAX}}$  次迭代。

[0056] 如图 5 所示, QC-LDPC 码的校验矩阵  $H$  包括  $2 \times 3$  个属于循环置换矩阵的子矩阵, 每个子矩阵的大小为  $3 \times 3$ 。从而, QC-LDPC 码具有 6 个校验节点和 9 个变量节点。

[0057] QC-LDPC 码的 6 个校验节点划分为两层校验节点, 每一层校验节点包括 3 个校验节点, 其中, 第一层校验节点包括校验节点  $C_1$ 、 $C_2$  和  $C_3$ , 第二层校验节点包括校验节点  $C_4$ 、 $C_5$  和  $C_6$ 。

[0058] 每一层校验节点进一步划分为 3 组校验节点, 每组校验节点包括 1 个校验节点, 其中, 第一层校验节点的第一组校验节点中的校验节点是  $C_1$ , 第一层校验节点的第二组校验节点中的校验节点是  $C_2$ , 第一层校验节点的第三组校验节点中的校验节点是  $C_3$ , 第二层校验节点的第一组校验节点中的校验节点是  $C_4$ , 第二层校验节点的第二组校验节点中的校验节点是  $C_5$ , 第二层校验节点的第三组校验节点中的校验节点是  $C_6$ 。

[0059] 对应于图 5 所示的 QC-LDPC 码, 译码装置的存储模块 110 包括 9 个存储单元 RAM 1、RAM 2、...、RAM 9, 每一个存储单元具有三个存储位置。

[0060] 如图 6A 所示, 存储单元 RAM 1 的第一个存储位置  $\text{addr1}$  用于存储位于校验矩阵  $H$  的第一个子矩阵中变量节点  $V_2$  传递给与变量节点  $V_2$  相连的校验节点  $C_1$  的外部信息, 存储单元 RAM 1 的第二个存储位置  $\text{addr2}$  用于存储位于校验矩阵  $H$  的第一个子矩阵中变量节点  $V_3$  传递给与变量节点  $V_3$  相连的校验节点  $C_2$  的外部信息, 以及存储单元 RAM 1 的第三个存储位置  $\text{addr3}$  用于存储位于校验矩阵  $H$  的第一个子矩阵中变量节点  $V_1$  传递给与变量节点  $V_1$  相连的校验节点  $C_3$  的外部信息。

[0061] 存储单元 RAM 2 的第一个存储位置  $\text{addr1}$  用于存储位于校验矩阵  $H$  的第二个子矩阵中变量节点  $V_4$  传递给与变量节点  $V_4$  相连的校验节点  $C_1$  的外部信息, 存储单元 RAM 2 的第二个存储位置  $\text{addr2}$  用于存储位于校验矩阵  $H$  的第二个子矩阵中变量节点  $V_5$  传递给与变量节点  $V_5$  相连的校验节点  $C_2$  的外部信息, 以及存储单元 RAM 2 的第三个存储位置  $\text{addr3}$  用于存储位于校验矩阵  $H$  的第二个子矩阵中变量节点  $V_6$  传递给与变量节点  $V_6$  相连的校验节点  $C_3$  的外部信息。

[0062] 存储单元 RAM 3 的第一个存储位置  $\text{addr1}$  用于存储位于校验矩阵  $H$  的第三个子矩阵中变量节点  $V_8$  传递给与变量节点  $V_8$  相连的校验节点  $C_1$  的外部信息, 存储单元 RAM 3 的第二个存储位置  $\text{addr2}$  用于存储位于校验矩阵  $H$  的第三个子矩阵中变量节点  $V_9$  传递给与

变量节点  $V_9$  相连的校验节点  $C_2$  的外部信息,以及存储单元 RAM 3 的第三个存储位置 addr3 用于存储位于校验矩阵 H 的第三个子矩阵中变量节点  $V_7$  传递给与变量节点  $V_7$  相连的校验节点  $C_3$  的外部信息。

[0063] 存储单元 RAM 4 的第一个存储位置 addr1 用于存储位于校验矩阵 H 的第四个子矩阵中的校验节点  $C_4$  传递给与校验节点  $C_4$  相连的变量节点  $V_3$  的外部信息,存储单元 RAM 4 的第二个存储位置 addr2 用于存储位于校验矩阵 H 的第四个子矩阵中的校验节点  $C_5$  传递给与校验节点  $C_5$  相连的变量节点  $V_1$  的外部信息,以及存储单元 RAM 4 的第三个存储位置 addr3 用于存储位于校验矩阵 H 的第四个子矩阵中的校验节点  $C_6$  传递给与校验节点  $C_6$  相连的变量节点  $V_2$  的外部信息。

[0064] 存储单元 RAM 5 的第一个存储位置 addr1 用于存储位于校验矩阵 H 的第五个子矩阵中的校验节点  $C_4$  传递给与校验节点  $C_4$  相连的变量节点  $V_6$  的外部信息,存储单元 RAM 5 的第二个存储位置 addr2 用于存储位于校验矩阵 H 的第五个子矩阵中的校验节点  $C_5$  传递给与校验节点  $C_5$  相连的变量节点  $V_4$  的外部信息,以及存储单元 RAM 5 的第三个存储位置 addr3 用于存储位于校验矩阵 H 的第五个子矩阵中的校验节点  $C_6$  传递给与校验节点  $C_6$  相连的变量节点  $V_5$  的外部信息。

[0065] 存储单元 RAM 6 的第一个存储位置 addr1 用于存储位于校验矩阵 H 的第六个子矩阵中的校验节点  $C_4$  传递给与校验节点  $C_4$  相连的变量节点  $V_7$  的外部信息,存储单元 RAM 6 的第二个存储位置 addr2 用于存储位于校验矩阵 H 的第六个子矩阵中的校验节点  $C_5$  传递给与校验节点  $C_5$  相连的变量节点  $V_8$  的外部信息,以及存储单元 RAM 6 的第三个存储位置 addr3 用于存储位于校验矩阵 H 的第六个子矩阵中的校验节点  $C_6$  传递给与校验节点  $C_6$  相连的变量节点  $V_9$  的外部信息。

[0066] 存储单元 RAM 7 用于存储变量节点  $V_2$ 、 $V_3$ 、 $V_1$  的信道信息,存储单元 RAM 8 用于存储变量节点  $V_4$ 、 $V_5$ 、 $V_6$  的信道信息,以及存储单元 RAM 9 用于存储变量节点  $V_8$ 、 $V_9$ 、 $V_7$  的信道信息。

[0067] 译码装置的更新模块 120 包括两个层计算模块 L1 和 L2,分别与第一层校验节点和第二层校验节点对应。层计算模块 L1 和 L2 各自包括一个处理模块组,该处理模块组仅包括一个处理模块,该处理模块包括一个校验节点处理器 CNP 和三个变量节点处理器 VNP。层计算模块 L1 的处理模块与第一层校验节点的第一、二和三组校验节点中的校验节点  $C_1$ 、 $C_2$  和  $C_3$  对应,层计算模块 L2 的处理模块与第二层校验节点的第一、二和三组校验节点中的校验节点  $C_4$ 、 $C_5$  和  $C_6$  对应。

[0068] 在 QC-LDPC 码的每一次迭代译码过程中,更新模块 120 按照逐层逐组校验节点处理的方式来对 QC-LDPC 码进行译码。

[0069] 具体地,在 QC-LDPC 码的每一次迭代译码过程中,首先层计算模块 L1 按照逐组校验节点处理的方式来分三步来处理第一层校验节点。

[0070] 第一步,层计算模块 L1 处理第一层校验节点的第一组校验节点,在这里,第一层校验节点的第一组校验节点仅包括校验节点  $C_1$ 。

[0071] 首先,地址控制模块 130 根据存储模块 110 中存储在校验节点  $C_1$  和与校验节点  $C_1$  相连的各个变量节点之间传递的外部信息的存储位置和存储模块 110 中存储在与校验节点  $C_1$  相连的各个变量节点和与该各个变量节点相连的其它层校验节点之间传递的外部信

息的存储位置,控制层计算模块 L1 的校验节点处理器 CNP 和三个变量节点处理器 VNP 各自的读地址和写地址。如图 5 所示,与校验节点  $C_1$  相连的变量节点是  $V_2$ 、 $V_4$  和  $V_8$ ,与变量节点  $V_2$  相连的其它层校验节点是  $C_6$ ,与变量节点  $V_4$  相连的其它层校验节点是  $C_5$ ,与变量节点  $V_8$  相连的其它层校验节点是  $C_5$ ,并且,如前面参考图 6A 所描述的,存储模块 110 的存储单元 RAM 1 的第一个存储位置  $addre1$  存储在校验节点  $C_1$  和变量节点  $V_2$  之间传递的外部信息,存储模块 110 的存储单元 RAM 2 的第一个存储位置  $addre1$  存储在校验节点  $C_1$  和变量节点  $V_4$  之间传递的外部信息,存储模块 110 的存储单元 RAM 3 的第一个存储位置  $addre1$  存储在校验节点  $C_1$  和变量节点  $V_8$  之间传递的外部信息,存储模块 110 的存储单元 RAM 4 的第三个存储位置  $addre3$  存储在校验节点  $C_6$  和变量节点  $V_2$  之间传递的外部信息,存储模块 110 的存储单元 RAM 5 的第二个存储位置  $addre2$  存储在校验节点  $C_5$  和变量节点  $V_4$  之间传递的外部信息,存储模块 110 的存储单元 RAM 6 的第二个存储位置  $addre2$  存储在校验节点  $C_8$  和变量节点  $V_8$  之间传递的外部信息,因此,在地址控制模块 130 的控制下,层计算模块 L1 的校验节点处理器 CNP 的读地址和写地址都是存储单元 RAM 1、RAM 2 和 RAM 3 的第一个存储位置  $addre1$ ,层计算模块 L1 的第一个变量节点处理器 VNP 的读地址是存储单元 RAM 4 的第三个存储位置  $addre3$  和存储单元 RAM 7 的第一个存储位置  $addre1$  以及其写地址是存储单元 RAM 4 的第三个存储位置  $addre3$ ,层计算模块 L1 的第二个变量节点处理器 VNP 的读地址是存储单元 RAM 5 的第二个存储位置  $addre2$  和存储单元 RAM 8 的第一个存储位置  $addre1$  以及其写地址是存储单元 RAM 5 的第二个存储位置  $addre2$ ,层计算模块 L1 的第三个变量节点处理器 VNP 的读地址是存储单元 RAM 6 的第二个存储位置  $addre2$  和存储单元 RAM 9 的第一个存储位置  $addre1$  以及其写地址是存储单元 RAM 6 的第二个存储位置  $addre2$ 。

[0072] 然后,层计算模块 L1 的校验节点处理器 CNP 从存储单元 RAM 1、RAM 2 和 RAM 3 各自的第一个存储位置  $addre1$  中读取与校验节点  $C_1$  相连的变量节点  $V_2$ 、 $V_4$  和  $V_8$  分别传递给校验节点  $C_1$  的外部信息,并根据所读取的外部信息按照等式 (1) 计算校验节点  $C_1$  分别传递给变量节点  $V_2$ 、 $V_4$  和  $V_8$  的外部信息  $C_12V_2$ 、 $C_12V_4$  和  $C_12V_8$  并把所计算的外部信息  $C_12V_2$ 、 $C_12V_4$  和  $C_12V_8$  分别写入存储单元 RAM 1、RAM 2 和 RAM 3 各自的第一个存储位置  $addre1$  以更新各自所存储的外部信息。

[0073] 接着,层计算模块 L1 的第一个变量节点处理器 VNP 利用从存储单元 RAM 4 的第三个存储位置  $addre3$  读取的校验节点  $C_6$  传递给变量节点  $V_2$  的外部信息  $C_62V_2$ 、从存储单元 RAM 7 的第一个存储位置  $addre1$  读取的变量节点  $V_2$  的信道信息  $CM_2$  和校验节点处理器 CNP 所计算的校验节点  $C_1$  传递给变量节点  $V_2$  的外部信息  $C_12V_2$  按照等式 (2) 和等式 (3) 来计算变量节点  $V_2$  传递给校验节点  $C_6$  的外部信息  $V_22C_6$  和变量节点  $V_2$  的后验概率信息并把所计算的外部信息  $V_22C_6$  写入 RAM 4 的第三个存储位置  $addre3$  以更新其所存储的外部信息,层计算模块 L1 的第二个变量节点处理器 VNP 利用从存储单元 RAM 5 的第二个存储位置  $addre2$  读取的校验节点  $C_5$  传递给变量节点  $V_4$  的外部信息  $C_52V_4$ 、从存储单元 RAM 8 的第一个存储位置  $addre1$  读取的变量节点  $V_4$  的信道信息  $CM_4$  和校验节点处理器 CNP 所计算的校验节点  $C_1$  传递给变量节点  $V_4$  的外部信息  $C_12V_4$  按照等式 (2) 和等式 (3) 来计算变量节点  $V_4$  传递给校验节点  $C_5$  的外部信息  $V_42C_5$  和变量节点  $V_4$  的后验概率信息并把所计算的外部信息  $V_42C_5$  写入 RAM 5 的第二个存储位置  $addre2$  以更新其所存储的外部信息,以及,层计算模块 L 1 的第三个变量节点处理器 VNP 利用从存储单元 RAM 6 的第二个存储位置  $addre2$  读取的校验

节点  $C_5$  传递给变量节点  $V_8$  的外部信息  $C_52V_8$ 、从存储单元 RAM 9 的第一个存储位置  $addre1$  读取的变量节点  $V_8$  的信道信息  $CM_8$  和校验节点处理器 CNP 所计算的校验节点  $C_1$  传递给变量节点  $V_8$  的外部信息  $C_12V_8$  按照等式 (2) 和等式 (3) 来计算变量节点  $V_8$  传递给校验节点  $C_5$  的外部信息  $V_82C_5$  和变量节点  $V_8$  的后验概率信息并把所计算的外部信息  $V_82C_5$  写入 RAM 6 的第二个存储位置  $addre2$  以更新其所存储的外部信息。

[0074] 第二步和第三步分别是层计算模块 L1 处理第一层校验节点的第二组校验节点和第三组校验节点,其处理过程与第一步,即层计算模块 L1 处理第一层校验节点的第一组校验节点类似,并且图 6A 有详细图示,因此在此不再赘述。

[0075] 层计算模块 L2 处理第二层校验节点的第一组校验节点、第二组校验节点和第三组校验节点与上面描述的层计算模块 L1 处理第一层校验节点的第一组校验节点、第二组校验节点类似,并且图 6B 有详细图示,因此在此也不再赘述。

[0076] 当处理完所有层校验节点,则完成 QC-LDPC 码一次迭代译码的计算处理。进行下一次迭代译码时又重复完成上述的一次迭代译码过程。

[0077] 在完成 QC-LDPC 码的预先设定的  $N_{\max}$  次迭代译码后,计算模块 140 根据在 QC-LDPC 码的第  $N_{\max}$  次(即最后一次)迭代译码时层计算模块 L1 和 L2 的第一、二和三个变量节点处理器 VNP 所计算的各个变量节点的后验概率信息,计算 QC-LDPC 码的各个码位的判决取值。

[0078] 从图 6A 和图 6B 可以看出,存储模块 110 的存储单元 RAM1-RAM6 的各个存储位置动态存储其中两个相连的校验节点和变量节点之间传递的外部信息。存储在存储模块 110 的存储单元 RAM1-RAM6 的各个存储位置中的信息是校验节点传递给变量节点的外部信息还是变量节点传递给校验节点的外部信息取决于正在对 QC-LDPC 码的哪一层校验节点进行处理。具体地,在 QC-LDPC 码的每一次迭代译码过程中,当 QC-LDPC 码的第  $j-1$  层校验节点已经处理完毕但第  $j$  层校验节点还没有开始处理时,存储单元 RAM1-RAM6 中与第  $j$  层校验节点相关的各个存储位置所存储的外部信息都是变量节点传递给校验节点的外部信息,而存储单元 RAM1-RAM6 中与其他层校验节点相关的各个存储位置所存储的外部信息都是校验节点传递给变量节点的外部信息,然而,在第  $j$  层校验节点已经处理完毕之后,存储单元 RAM1-RAM6 中与第  $j$  层校验节点相关的各个存储位置所存储的外部信息都是更新的校验节点传递给变量节点的外部信息,存储单元 RAM1-RAM6 中与第  $j+1$  层校验节点相关的各个存储位置所存储的外部信息都是更新的变量节点传递给校验节点的外部信息,并且存储单元 RAM1-RAM6 中与除了  $j$  和  $j+1$  层之外的其它层校验节点相关的各个存储位置所存储的外部信息保持不变。

[0079] 由于存储模块 110 将在 QC-LDPC 码的迭代译码过程中在 QC-LDPC 码的任意两个相连的校验节点和变量节点之间传递的外部信息动态存储在相同存储位置中,因此减少了译码装置所需的存储资源,降低了译码装置的硬件实现的复杂度。

[0080] < 实施例二 >

[0081] 类似于本发明实施例一,本发明实施例二的译码装置也包括存储模块、更新装置、地址控制模块、计算装置和交换模块。为了简单起见,以下仅描述本发明实施例二与本发明实施例一不同的地方,两者相同的地方不再赘述。

[0082] 本发明实施例二的存储模块包括多个子存储模块,其中,每一个子存储模块与 QC-LDPC 码的多个码字的其中一个码字相对应,用于存储该其中一个码字的各个变量节点

的信道信息和在对该其中一个码字进行迭代译码过程中在该其中一个码字的各个校验节点和各个变量节点之间传递的外部信息,其中,在该其中一个码字的任意两个相连的校验节点和变量节点之间传递的外部信息动态存储在与该其中一个码字相对应的子存储模块的相同存储位置中。

[0083] 在本发明实施例二中,译码装置采用流水调度的方式来对 QC-LDPC 码的多个码字进行译码,以减少译码过程中的空闲时隙从而提高处理吞吐量。具体地,本发明实施例二的更新模块中的每一个层计算模块的处理模块组的各个处理模块的处理被分成多个顺序执行的步骤,其中,当每一个层计算模块的处理模块组中的各个处理模块的第一个处理步骤完成对该多个码字的其中一个码字的处理后,在没有空闲等待的情况下开始就对另一个码字进行处理。其中,各个处理模块把所计算的每一个码字的各个校验节点和各个变量节点之间传递的外部信息写入存储模块中与每一个码字相应的子存储模块以更新与每一个码字相应的子存储模块所存储的外部信息。

[0084] 参考图 7,其示出了现有技术的译码装置的流水调度示意图。如图 7 所示,译码装置对三个码字进行译码,其中, L1、L2、L3 和 L4 分别表示第一、二、三和四层校验节点, s1、s2、s3 和 s4 分别表示处理模块的第一、二、三和四个处理步骤。从图 7 可以看出,译码装置的每一个层计算模块的处理模块的第一个处理步骤在完成一个码字的处理之后,在等待第二、三和四个处理步骤都完成该一个码字的处理之后,才开始执行对另一个码字的处理。可见在现有技术中,译码装置在译码过程中会等待空闲时隙,从而降低了译码装置的处理吞吐量。

[0085] 参考图 8,其示出了按照本发明实施例二的译码装置的流水调度示意图。如图 8 所示,译码装置以流水调度的方式对六个码字进行译码,其中, L1、L2、L3 和 L4 分别表示第一、二、三和四层校验节点, s1、s2、s3 和 s4 分别表示处理模块的第一、二、三和四个处理步骤。

[0086] 从图 8 可以看出,译码装置的每一个层计算模块的处理模块的第一个处理步骤在完成一个码字的处理后,在没有空闲等待(即没有等待第二、三和四个处理步骤都完成该一个码字的处理之后)的情况下就开始就对另一个码字进行处理。可见,本发明实施例二的译码装置在译码过程中没有等待空闲时隙,从而提高了译码装置的处理吞吐量。

[0087] 本领域技术人员应当理解,虽然在本发明的实施例一和二中,每一个层计算模块的处理模块组中的各个处理模块并行工作,然而,本发明并不局限于此。在本发明的其它实施例中,每一个层计算模块的处理模块组中的各个处理模块也可以依次顺序进行工作。

[0088] 本领域技术人员应当理解,虽然在本发明的实施例一和二中,每一个层计算模块的处理模块组所包括的处理模块的个数等于每组校验节点中的校验节点个数,然而,本发明并不局限于此。在本发明的其它实施例中,每一个层计算模块的处理模块组中也可以仅包括一个处理模块,其依次对一组校验节点中的各个校验节点进行处理;或者,每一个层计算模块的处理模块组包括多个处理模块但数量比每组校验节点中的校验节点个数少,每个处理模块负责一组校验节点中的其中一部分校验节点的处理。通过这种方式,可以进一步减少译码装置的硬件资源,降低译码装置的硬件实现复杂度。

[0089] 本领域技术人员应当理解,虽然在本发明的实施例一和二中,每一个层计算模块仅包括一个处理模块组,其对其中一层校验节点中的各组校验节点逐组进行处理,然而,本发明并不局限于此。在本发明的其它实施例中,每一个层计算模块也可以包括多个并行工

作的处理模块组,每一个处理模块组负责对该其中一层校验节点中的一组校验节点进行处理,以此加快译码装置的译码速度,提高译码装置的处理吞吐量。

[0090] 本领域技术人员应当理解,虽然在本发明的实施例一和二中,更新模块包括多个层计算模块,每个层计算模块负责处理其中一层校验节点,然而,本发明并不局限于此。在本发明的其它实施例中,更新模块也可以仅包括一个层计算模块,其依次顺序对各层校验节点进行处理;或者,更新模块包括多个层计算模块但数量比层校验节点的数量少,每一个层计算模块负责处理其中一部分层校验节点。通过这种方式,可以进一步减少译码装置的硬件资源,降低译码装置的硬件实现复杂度。

[0091] 本领域技术人员应当理解,虽然在本发明的实施例一和二中,译码装置包括地址控制模块,然而,本发明并不局限于此。在本发明的其它实施例中,例如当更新模块包括的层计算模块的个数等于校验节点的层数,每个层计算模块所包括的处理模块组的数量等于每层校验节点中的校验节点的组数,每个处理模块组所包括的处理模块的个数等于每组校验节点中校验节点的个数,从而使得更新模块中的处理模块与 QC-LDPC 码的校验节点形成一一对应关系时,译码装置可以不包括地址控制模块,因为这种情况下,每一个处理模块的读地址和写地址是固定不变的。

[0092] 本领域技术人员应当理解,虽然在本发明的实施例一和二中,译码装置包括交换模块,然而,本发明并不局限于此。在本发明的其它实施例中,例如当计算模块能够按照 QC-LDPC 码的各个码位的先后顺序依次计算得到 QC-LDPC 码的各个码位的判决取值时,译码装置可以不包括交换模块。

[0093] 本领域技术人员应当理解,虽然在上面所描述的实施例中,在 QC-LDPC 码的每一次迭代译码过程中都计算 QC-LDPC 码的各个变量节点的后验概率信息,然而,本发明并不局限于此。在本发明的其它实施例中,也可以仅在 QC-LDPC 码的最后一次迭代译码时才计算 QC-LDPC 码的各个变量节点的后验概率信息。

[0094] 本领域技术人员应当理解,虽然在上面所描述的内容中,本发明的各个实施例所公开的装置应用于对 QC-LDPC 码进行预定迭代次数(即  $N_{MAX}$ )译码的情形,但是,本发明的各个实施例所公开的装置也可以应用到对 QC-LDPC 码进行动态译码的情形。

[0095] 其中,在对 QC-LDPC 码进行动态译码时,在 QC-LDPC 码的每一次迭代译码过程中,计算模块 140 根据更新模块 120 所计算的 QC-LDPC 码的各个变量节点的后验概率信息来计算 QC-LDPC 码的各个码位的判决取值,把所计算的 QC-LDPC 码的各个码位的判决取值与 QC-LDPC 码的校验矩阵相乘,判断相乘的结果是否为零,如果判断结果为肯定(即相乘的结果为零),则表明对 QC-LDPC 码的译码已经成功,从而结束对 QC-LDPC 码的译码,如果判断结果为否定(即相乘的结果不为零),则进一步判断对 QC-LDPC 码的迭代译码是否已经达到预定的最大迭代次数,如果进一步判断结果为肯定(即已经达到了预定的最大迭代次数),则结束对 QC-LDPC 码的译码并输出所计算的 QC-LDPC 码的各个码位的判决取值作为 QC-LDPC 码的实际值,如果进一步判断结果为否定(即还没有达到预定的最大迭代次数),则对 QC-LDPC 码进行下一次迭代译码。

[0096] 本领域技术人员应当理解,本发明的各个实施例可以在不偏离发明实质的情况下做出各种变形和改变,这些变形和改变都应当落入在本发明的保护范围之内。因此,本发明的保护范围由所附的权利要求书定义。

$$H = \begin{matrix} & \begin{matrix} x_1 & x_2 & x_3 & x_4 & x_5 & x_6 & x_7 & x_8 & x_9 \end{matrix} \\ \begin{matrix} A_1 \\ A_2 \\ A_3 \\ A_4 \\ A_5 \\ A_6 \end{matrix} & \begin{bmatrix} 1 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 0 \end{bmatrix} \end{matrix}$$

图 1A

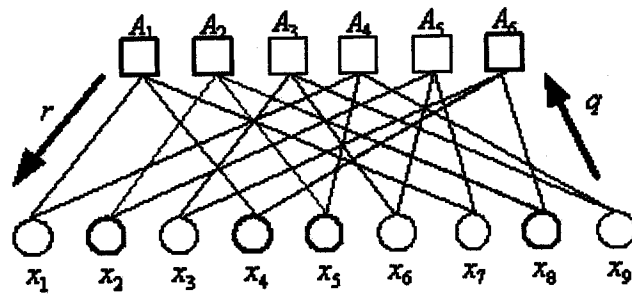


图 1B



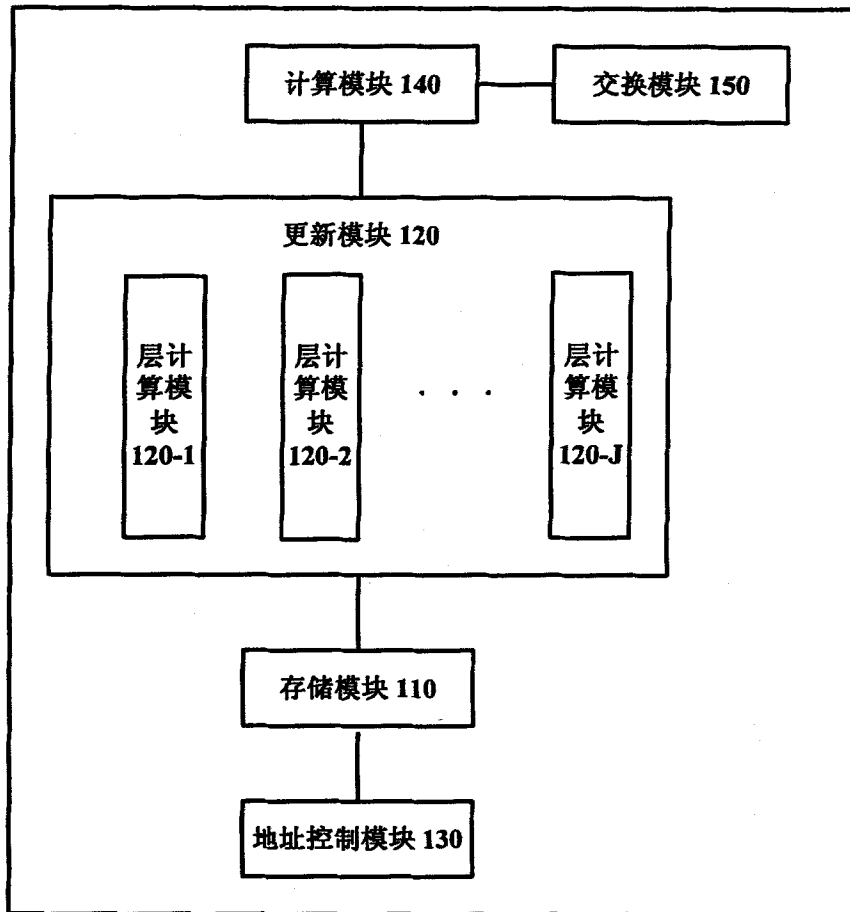


图 2

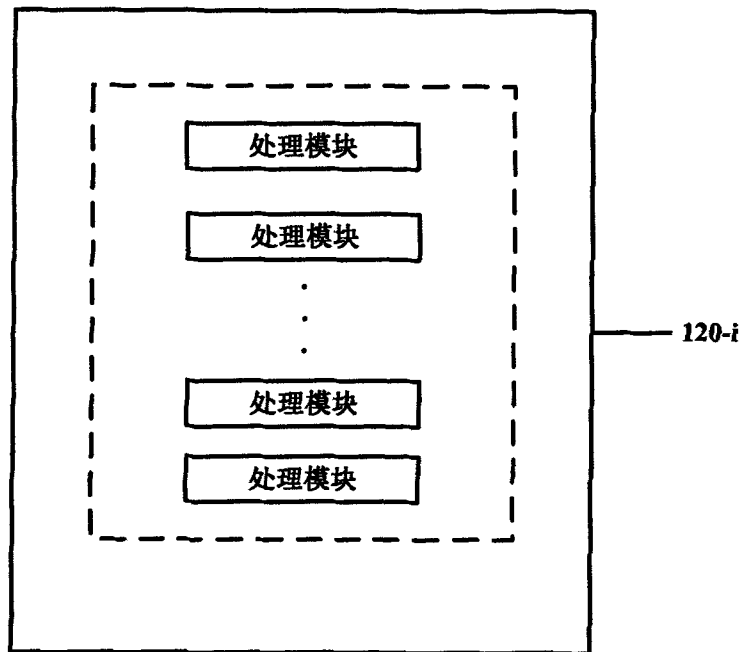


图 3

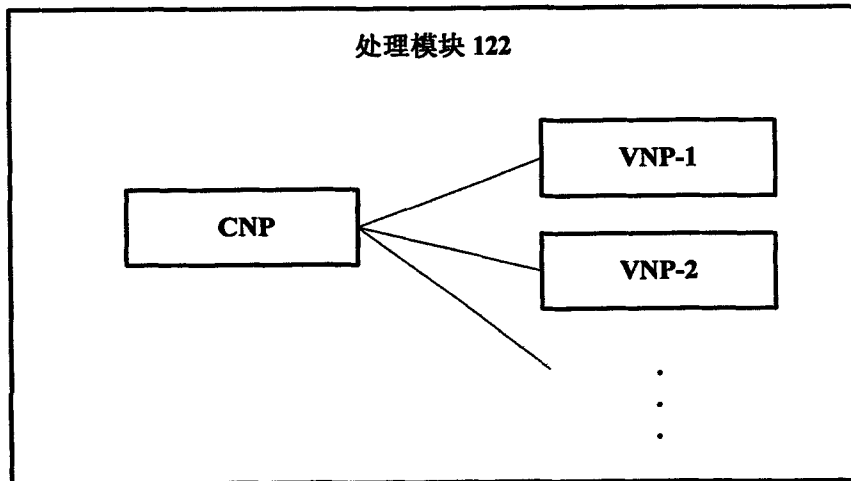


图 4

	V <sub>1</sub>	V <sub>2</sub>	V <sub>3</sub>	V <sub>4</sub>	V <sub>5</sub>	V <sub>6</sub>	V <sub>7</sub>	V <sub>8</sub>	V <sub>9</sub>
C <sub>1</sub>		1		1				1	
C <sub>2</sub>			1		1				1
C <sub>3</sub>	1					1	1		
C <sub>4</sub>			1			1	1		
C <sub>5</sub>	1			1				1	
C <sub>6</sub>		1			1				1

图 5

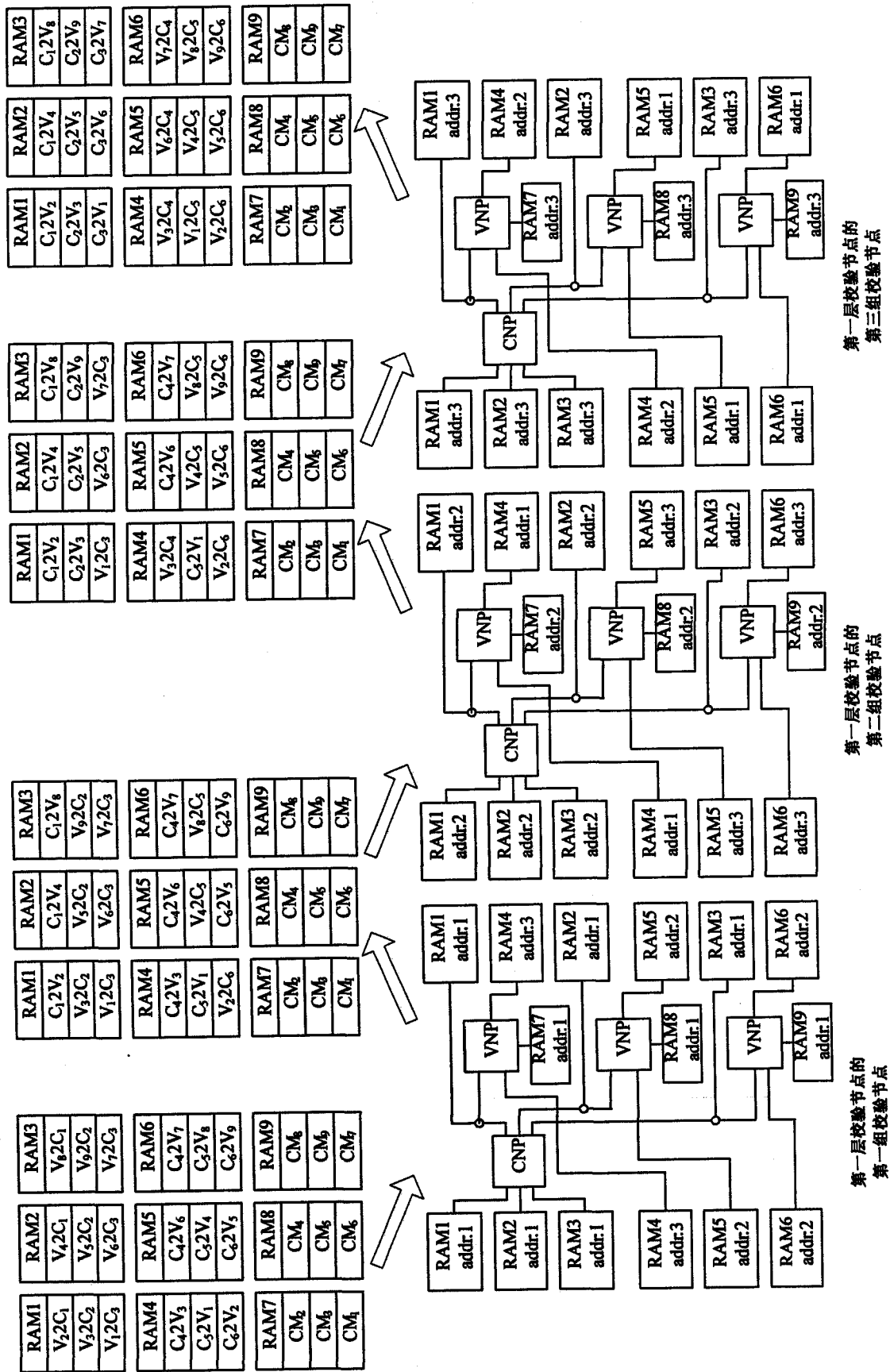


图 6A

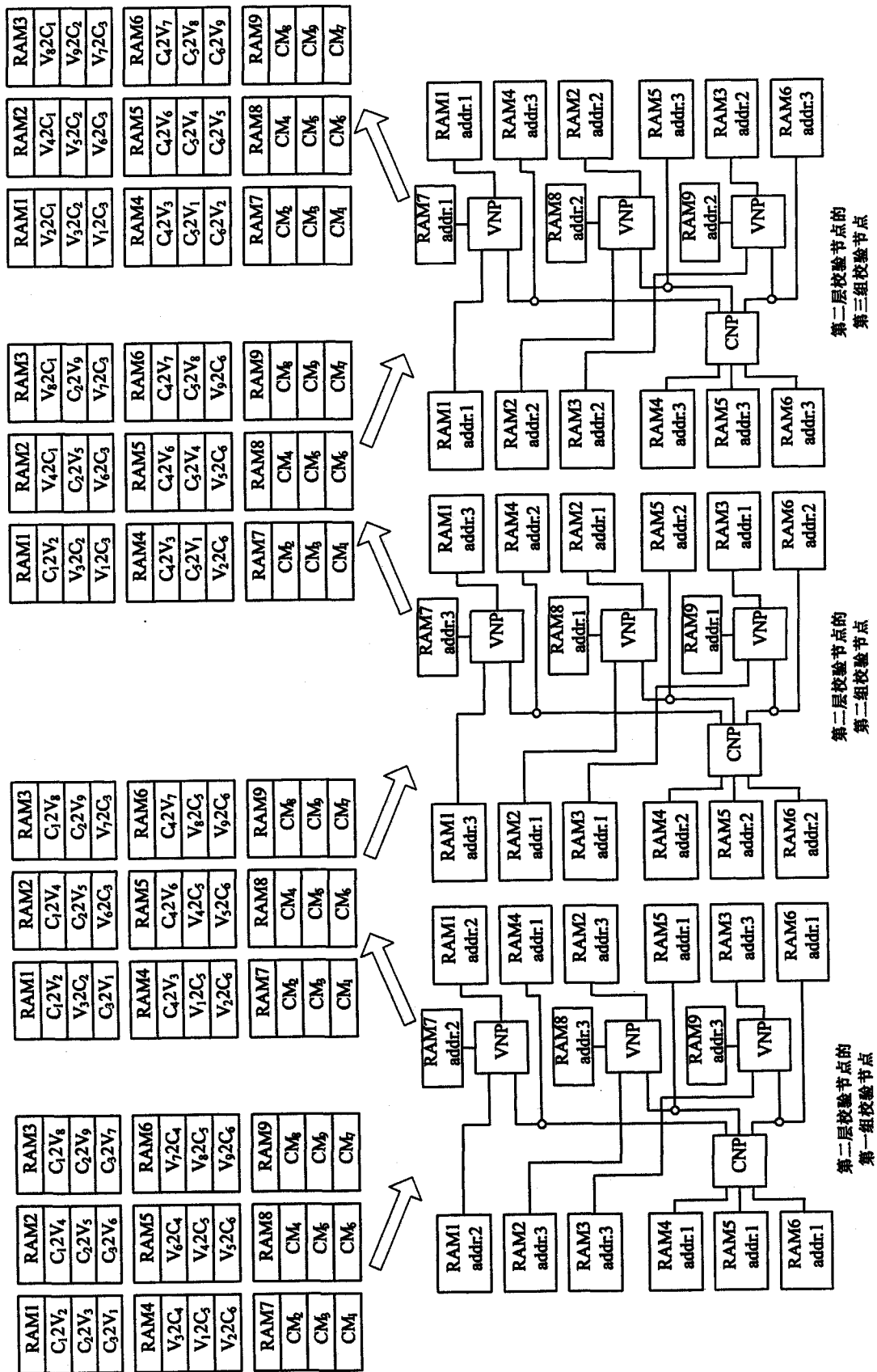


图 6B

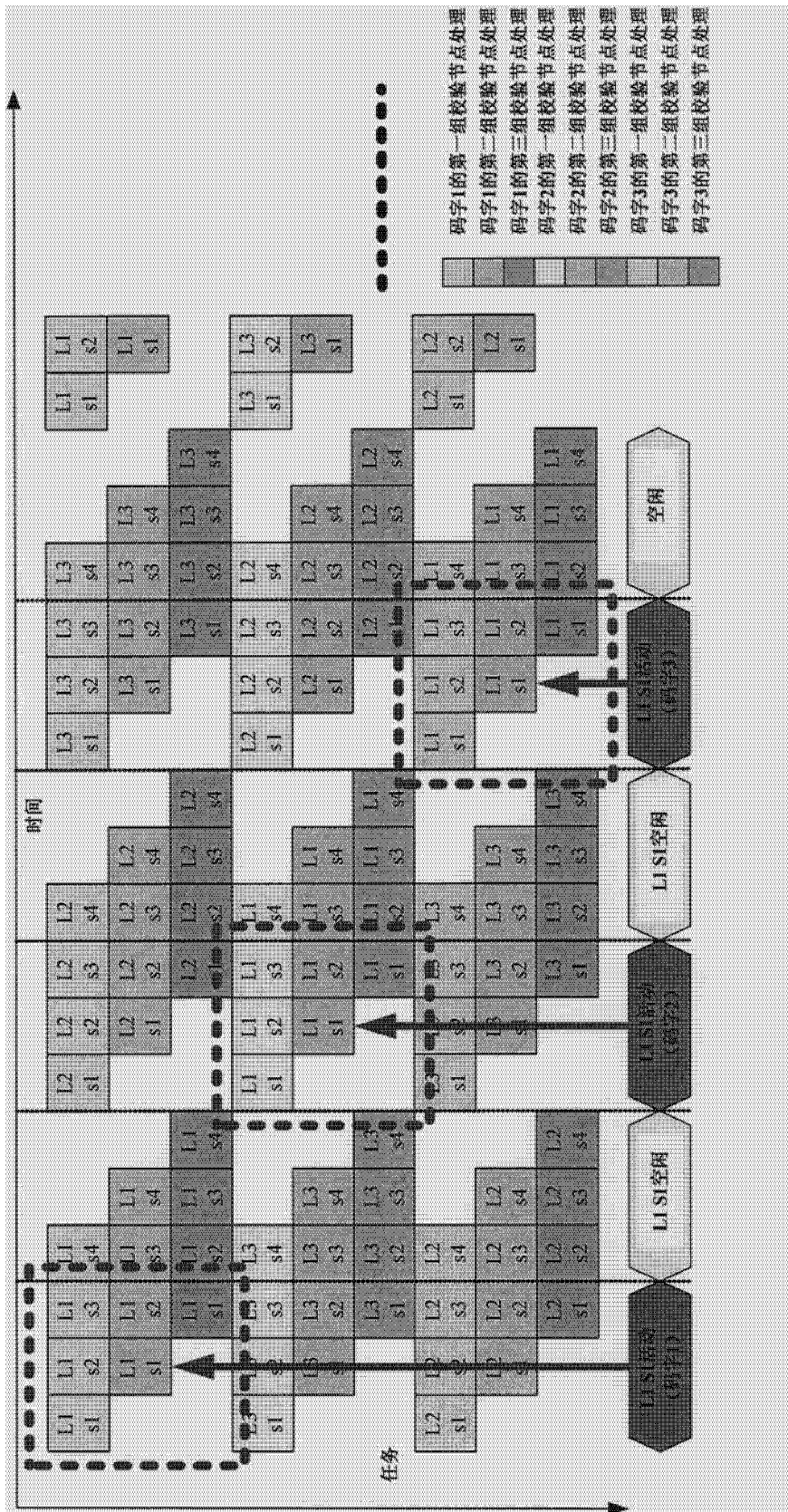


图 7

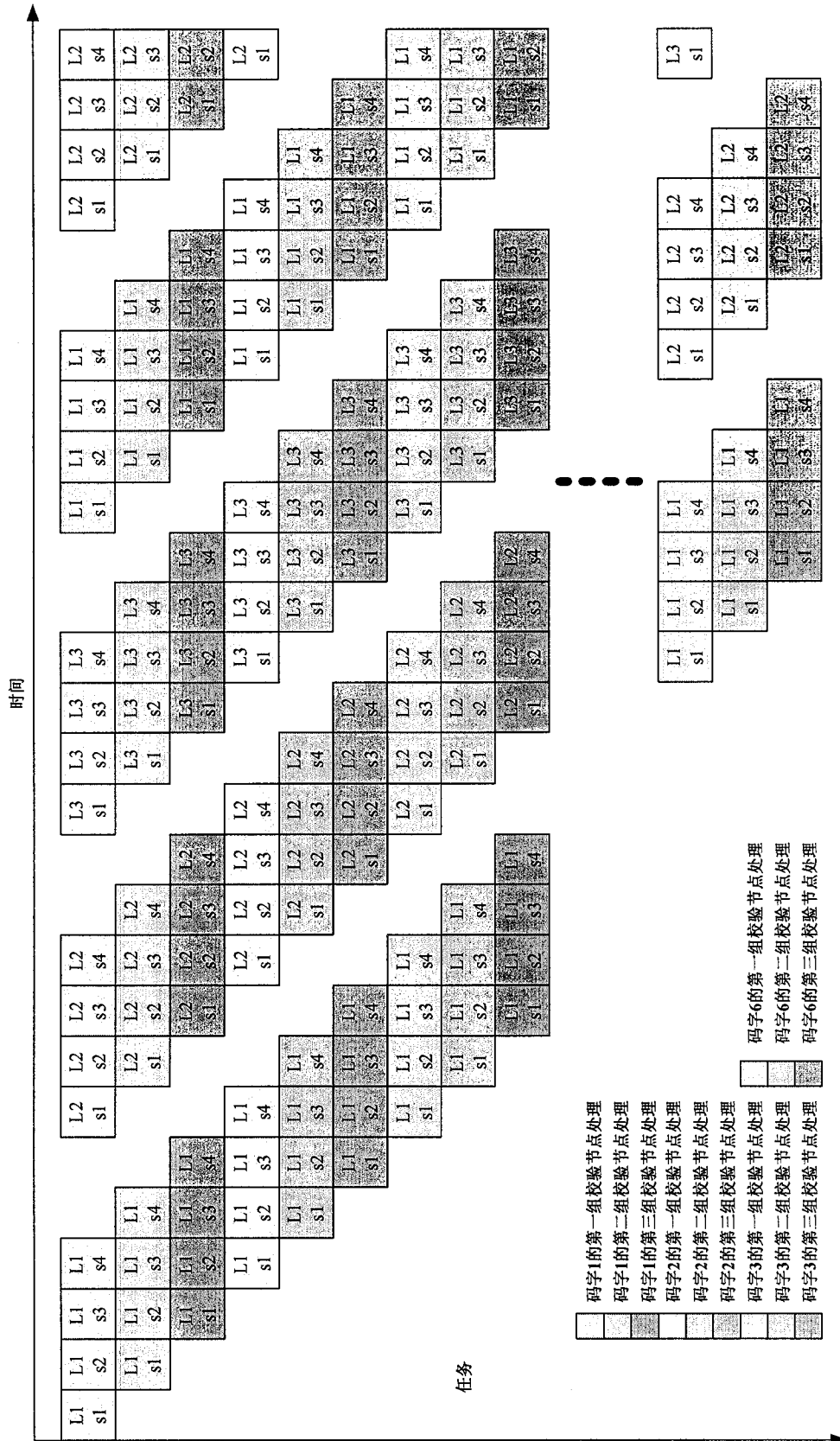


图 8